

ソフトウェア研究に関する最新動向と 日立の取り組み - 2011年の国際学会動向 -

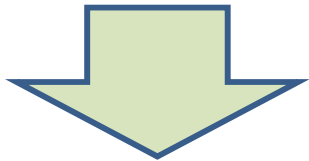
日立製作所横浜研究所
伊部 英史, IEEE Fellow

目次

1. 民生品ソフトウェアを主要テーマに含む国際会議
2. 電子デバイス・システムの動向
3. 国際会議発表内容の最新動向
4. ソフトエラー研究最新動向各論
5. まとめ

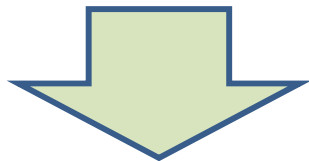
SEE (Single Event Effect)の階層

フォールト (Fault)



- ・トランジェント (SET含む)
- ・ノイズ
- などと等価。デバイス・回路・システムへの影響は不定。
- ・検出難。

エラー (Error)



- ・SEU (Single Event Upset) と等価
- ・メモリ、順序回路に保持されるデータが反転。
- ・回路・システムへの影響は不定。
- ・検出・修復可
- ・ハードエラー含む

障害 (Failure)

- ・電子装置の誤作動 (停止、暴走、誤計算など)
- ・最終出力に影響
- ・システムに負荷なしで修復不可。(再起動、再実行、リコンフィグなど)

定義標準化要!

フォールトを主要テーマに含む国際会議

会議名 (IEEE, Int'l, Workshop等略)	略称	2011年		総参加人数規模	特徴	フォールト発表件
		開催時期	場所			
Silicon Errors in Logic – System Effects	SELSE	March 29,30	Champaign, USA	100	論理回路・システム中心。規模小さいが議論活発。	18
Reliability Physics Symposium	IRPS	April 10–14	Monterey, USA	500	電子デバイス信頼性の最大・最高権威学会。	15
IC Design and Technology	ICICDT	May 2–4	Kaohsiung, Taiwan	100	電子デバイスの種々のテーマを横断的に網羅。	4
Dependable Systems and Networks (Workshop含む)	DSN	June 27–30	Hong Kong, China	500	システム・プロセッサのフォールト検出、対策が主眼点。フォールトの起源、性状は問わない場合が多い。ソフトウェア指向。	15
On-Line Testing Symposium	IOLTS	July 13–15	Athens, Greece	100	デバイス～システムにまたがるフォールトの発生、検出、対策まで。	26
Nuclear and Space Radiation Effects Conf.	NSREC	July 25–29	Las Vegas, USA	500	デバイスのSEE (TID含む) T中心。照射データ豊富。重イオン、陽子中心。米国開催。	36
Radiation and Its Effects on Components and Systems	RADECS	Sep. 19–23	Sevilla, Spain	200	デバイスのSEE (TID含む) T中心。照射データ豊富。重イオン、陽子中心。ヨーロッパ開催。	
Radiation Effects on Semiconductor Devices for Space Applications	RASEDA	?	?	200	デバイスのSEE (TID含む) T中心。照射データ豊富。重イオン、陽子中心。JAXA、JAEA主催。	
計						114

フォールト発生原因別発表件数

略称	フォールト発生原因別発表件数						
	フォールト 発表件数	中性子	α 線	陽子	重イオン	パルス レーザ	その他
SELSE	18	7	3			1	
IRPS	15	6	3		2	1	1
ICICDT	4						
DSN	15						
IOLTS	26	3	1				
NSREC	36	9	1	6	11	2	
RADECS							
RASEDA							
	114	25	8	6	13	4	1
							μ 中間 子

フォールト評価対象、手法別発表件数

略称		SELSE	IRPS	ICICDT	DSN	IOLTS	NSREC	計	注釈	
評価対象	揮発性メモリ	2	4			4	7	17	CAM	
	不揮発性メモリ					1	2	3	flash、相変化メモリ	
	論理ゲート		6	2		2	8	18	DICE, インバータ, FF	
	パワーデバイス					1	6	7		
	回路	2	3		1	3	2	11	クロック系	
	FPGA	3				2	4	9		
	システム	プロセッサ	4	2		10	3	1	20	キャッシュ、レジスタ、ログ解析
		SoC		1			8		9	
		PCB	1	1			2	1	5	サーバ
		その他	3		1	3		1	8	DC-DCコンバータ、データセンタ、Cross-Layer Reliability, LABIR, 車載
評価手法	照射実験	4	7	2		2	19	34		
	数値シミュレーション	3	5	1		10	7	26		
	フォールトインジェクション	2			5	1	1	9	SWAT, Relyzer, シミュレーションベース、ハード実装	
	その他	1			1			2	DOUB、アスペクト指向プログラミングの最適化	

フォールトに関する研究の大きな動き

- 低エネルギー中性子、陽子の再評価、熱中性子の問題再燃、 μ 中間子などの問題指摘など。照射試験に新しい動き活発。
- フォールトの検出・対策が電子システムの上位階層に進展。予測手法としてフォールトインジェクションが普及。
- マルチノードトランジェント(MNT)問題の拡大
- ソフトウェアによるフォールト検出・修復の議論活発化
- 個別の回路等での評価精度を希求せず、負荷(計算時間、消費電力)が小さく全体を丸めこむような評価手法の提案増加
- データセンタなどの電力負荷や、チップ単体での電力負担(“Dark Silicon”)に対する問題意識から、低消費電力化を大きな技術課題とする発表増加。
併せて、フォールト、エラー対策も面積・電力ペナルティの大きい空間冗長化でない手法を希求する傾向が増大。
- 電子システムの全階層に亘っての対策の議論活発化
【以下、個別に詳報】

照射試験に関する新しい動き

低エネルギー陽子(<10MeV)のSEU断面積が高エネルギー陽子に比べて桁で大きくなる実験結果の報告連続。(2008~)

■ 低エネルギー中性子(<10MeV)の断面積も急増するシミュレーション結果報告(図1 日立 2011IRPS)。JESD89B改訂、IEC62396(日本のTC107委員会委員募集中)策定へ反映中。

■ IBM Tribladeへの中性子照射実験(2011NSREC)

■ PCBレベルでのrebootを指標とした照射試験・解析法と対策報告(図2 日立 SELSE7)

■ 熱中性子(配線層の ^{10}B が問題?)問題再燃。(Samsung SELSE7)

■ α 線ソフトエラー試験法に加速器を用いる手法提案。(Xilinx SELSE7) 12社共同の α 線ソフトエラー計測ラウンドロビン(2011IRPS)

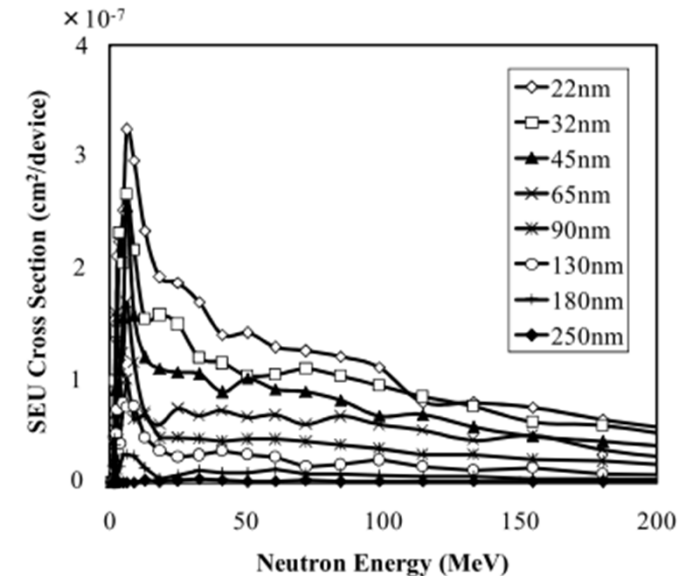


図1 微細化による低エネルギー中性子の寄与の増大
Neutron beam size (10cm²)

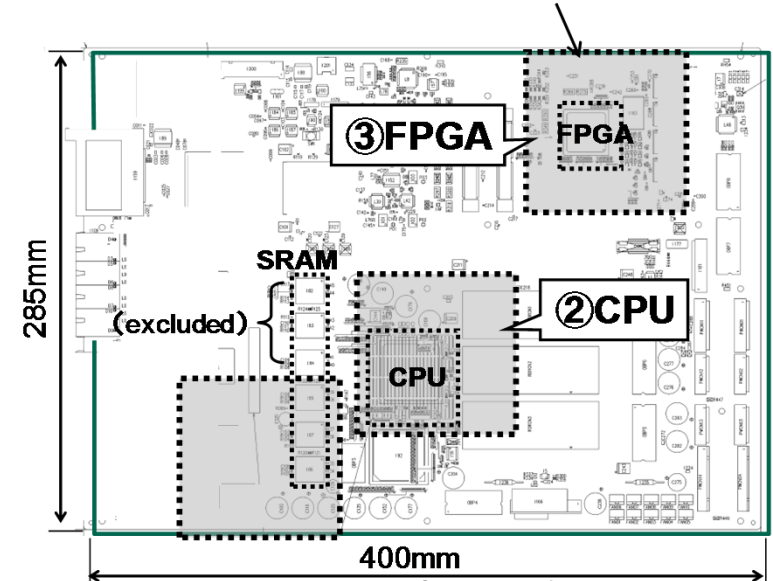


図2 ルータPCBと中性子照射位置

フォールトインジェクションに関する動向

■ エミュレータベースフォールトインジェクションでプロセッサのシミュレーション実施。個別FFの耐性評価 (STMicro 2010IOLTS)

■ Relyzer : SDC含むFaultをソフトウェアレベルで高カバレッジ検出 (Illnoi大、Intel SELSE7)

■ SWAT: アプリケーション動作に異常を与えないFaultは検出する必要はない。ソフトウェアの異常の兆候を検知するSWATだけで対応できる。(図1、Illnoi大、Intel SELSE7)

■ シミュレーションベースフォールトインジェクションの問題点の議論あり。サイクル数、フォールト注入位置など。(Univ. British Columbia 2011DSN)

■ ハードウェア実装による車載システム全体のフォールトインジェクション技術 (神戸大 2011DSN)

検知する障害モード

- Fatal trap: ゼロ割り算、非整合アクセス、maximum trap level(?)
- Kernel panic
- Hypervisor crash: TLBの誤動作など。
- Firmware check: OpenSolarisとMicroBlaze間の整合性check。アドレス領域逸脱、不合理命令など。非整合でfirmwareアボート。
- Hardware stall: Threadが一定時間(例: 30秒)範囲内にinstructionを発信しない時。
- Abnormal exit: segmentation フォールト、core dump, dynamic linkerエラーなど。
- hang, high OSは今回検出対象外。

図1 SWATで仕分けするソフトウェア障害 (FPGAでフォールトインジェクションハードウェア実装)

マルチノードトランジエント(MNT)問題

マルチノードトランジエントMNT:チャージシェアリングやバイポーラ効果によって複数のノードにトランジエントパルスが入ること。通常の空間冗長系(DICE、SEUT、DMR、TMRを無力化する)。

■ 中性子起因のMNTの電圧依存性 (阪大、2011IRPS)

■ 改造型DICE、SEILAの提案 (富士通 2011 ICICDT)

■ TMRのMNTに対する有効性検討 (富士通 2011IOLTS)

■ チャージシェアリングを解析できるフォールトインJECTION技術 (Institute de Informatica 2011NSREC)

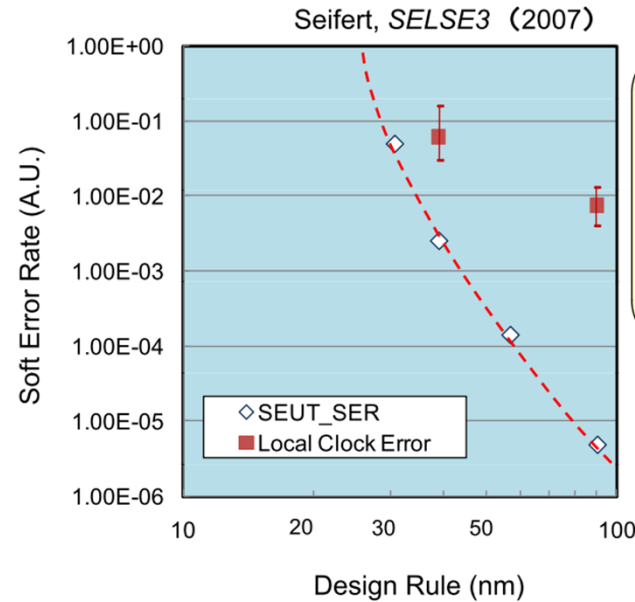


図1 微細化によるFFの空間冗長対策の無力化

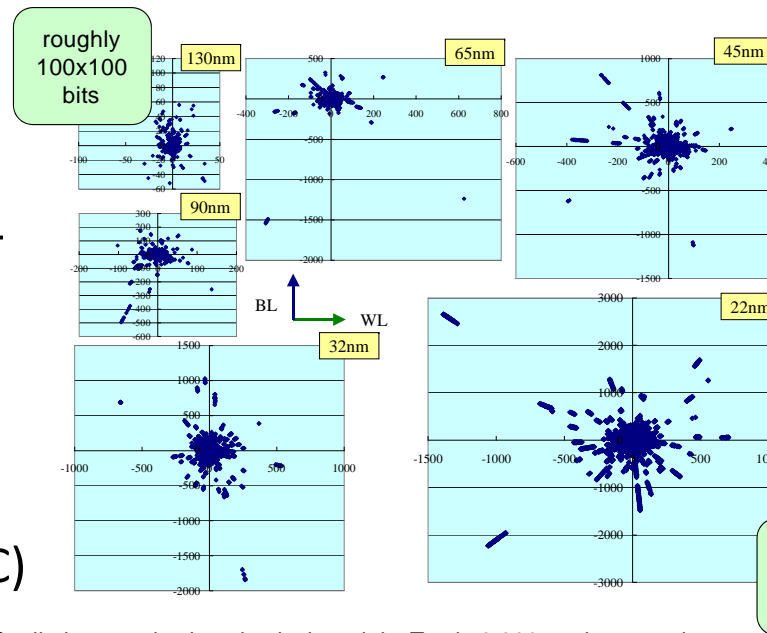


図2 微細化によるSRAMのエラーの影響範囲拡大 (電荷収集モデルによる。伊部 2011IRPS、2009DSN) 22nmでは多重度100ビット越えも。MNTの拡大も不可避。

*Spallation reaction location is the origin. Total 58,000 nuclear reactions

ソフトウェアによる障害の検出・修復

■ Cross-Layer Reliabilityの提案
 (図1 米国防プロに? Intel SELSE6、
 LANSCE SELSE7) 階層間協調。
 Rollback基本。

■ Inter-Layer Built-In Reliability
 の提案
 (日立 ICICDT2010, IRPS2011) 下
 層(基板、デバイスレベルでフォール
 トの兆候(電位、電流など)とら
 え、上層で修復。Rollback基本。

■ ソフトウェアによるSDCマスキ
 ング技術(LANSCE SELSE7)

■ アスペクト指向プログラミング
 によるフォールト耐性ソフトウェア
 (Calmers Univ. of Technology
 DSN2011)

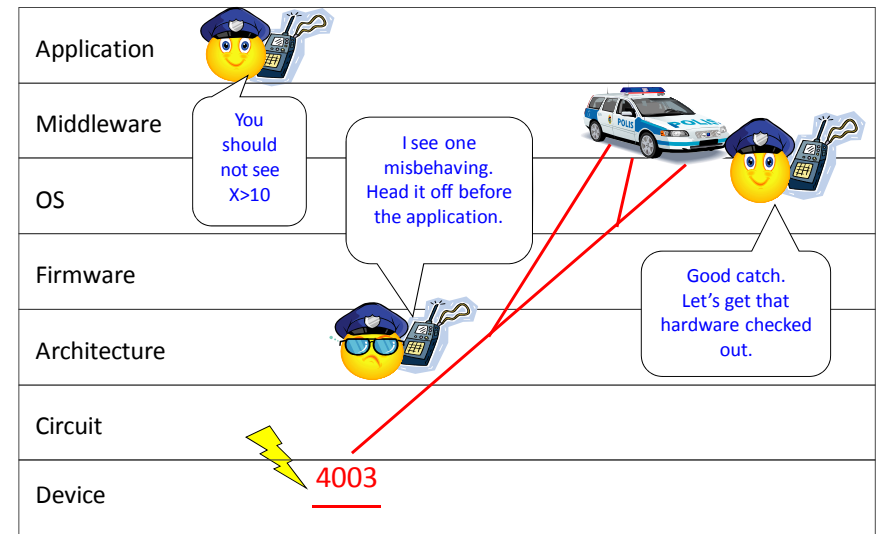


図1 Cross Layer Reliabilityの概念図

Study Leaders Core Working Group and Team Leaders

Sarita Adve, University of Illinois at Urbana-Champaign
 Marcos Aguilera, Microsoft Research
 Carl Anderson, IBM
 Paul Armijo, General Dynamics Advanced Information Systems
 Todd Austin, University of Michigan
 Sankar Basu, NSF
 Lori Bechtold, Boeing Research & Technology
 Shawn Blanton, Carnegie Mellon University
 Shekhar Borkar, Intel Corporation
 Younes Boulghassoul, Information Sciences Institute - University of Southern California
 Keith Bowman, Intel Corporation
 Greg Bronevetsky, LLNL
 James Browne, University of Texas Austin
 Nicholas Carter, Intel Corporation
 Vikas Chandra, ARM
 Tim Cheng, University of California Santa Barbara
 Pierre Chor-Fung Chia, Cisco Systems Inc.
 Lewis Cohn, NRL
 John Daly, Department of Defense
 Chitaranjan Das, NSF
 J.L. de Jong, Xilinx
 Nathan DeBardleben, LANL
 Erik deBenedictis, Sandia National Laboratories
 André DeHon, University of Pennsylvania
 Eliezer Dekel, IBM
 Bill Eklow, Cisco Systems Inc.
 Glenn A Forman, General Electric
 Armando Fox, University of California Berkeley

Tim Gallagher, Lockheed Martin Corporation
 Donald S. Gardner, Intel Corporation
 Kinshuk Govil, VMware
 John Gustafson, Intel Corporation
 Eric Hannah, Intel Corporation
 William Harrod, DARPA
 William Heidergott, General Dynamics Advanced Information Systems
 John Hiller, STA
 Andrew Huang, Bunnie Studios LLC Chumby Industries
 Ravi Iyer, University of Illinois at Urbana-Champaign
 David Kaeli, Northeastern University
 Zbigniew Kalbarczyk, University of Illinois at Urbana-Champaign
 Kevin Kemp, Freescale
 Prabhakar Kudva, IBM
 Kimmo Kuusilinna, Nokia
 Shih-Lien Lu, Intel Corporation
 James Lyke, Air Force Research Laboratory
 William M. Jones Jr, Coastal Carolina University
 Nikil Mehta, California Institute of Technology
 Sarah Michalak, LANL
 Subhasish Mitra, Stanford University
 Claude Moughanni, Freescale Semiconductor
 Shubu Mukherjee, Intel Corporation
 Helia Naeimi, Intel Corporation
 Sani Nassif, IBM
 Suriyaprakash Natarajan, Intel Corporation
 Eugene Norman, Boeing Research & Technology
 Kevin Nowka, IBM

Ishwar Parulkar, Cisco Systems
 Karthik Pattabiraman, Microsoft
 Mark Porter, Medtronic
 Heather Quinn, LANL
 Charles Recchia, Intel Corporation
 Anthony Reipold, Freescale Semiconductor
 Pia Sanda, IBM
 Sumeet Sandhu, Intel Corporation
 John Savage, Brown University
 Bianca Schroeder, University of Toronto
 Sanjit Seshia, UC Berkeley
 Allan Silburt, Cisco Systems
 James Smith, Intel Corporation
 Rafi Some, JPL
 Daniel Sorin, Duke University
 Jon Stearley, Sandia
 Gary Swift, Xilinx Inc.
 David Tennenhouse, New Venture Partners
 Chandra Tirumurti, Intel Corporation
 Steve Trimmer, Xilinx
 Ian Troxel, SEAKR Engineering Inc.
 David Walker, Princeton University
 Shi-Jie Wen, Cisco Systems Inc.
 Chris Wilkerson, Intel Corporation
 Alan Wood, Sun Microsystems
 Vivian Zhu, Texas Instruments

図2 Cross Layer Reliability参加組織(82組織)

低負荷評価・解析法

■ Design On Upper Bound: 膨大な時間をかけて平均値をいくら正確に求めても、ばらつき幅が分からなければ、信頼性は確保できない。平均値を求める代わりに種々の条件に依存しない上限値を求め、これを低減する設計を行う。
(日立 2010 ICICDT, 2011 IRPS)

■ ロジックマスキング係数を精度をやや落として安全側の値を求める。計算量1/10。(図2)
(九州大学 SELSE7、IOLTS 2011)

■ Dark Silicon: 精度を落として計算の負荷低減を提案
(perforated simulation, EFPL 2011IOLTS)。

■ Stochastic simulation : フォールトが入っても、大きな誤差を生まないsimulation技術。例: マトリクス計算 $Ax=b$ を正確に計算するのではなく、 $(Ax-b)^2$ を最小化する問題に置き換える。
(Illinoi 大 DSN2011)

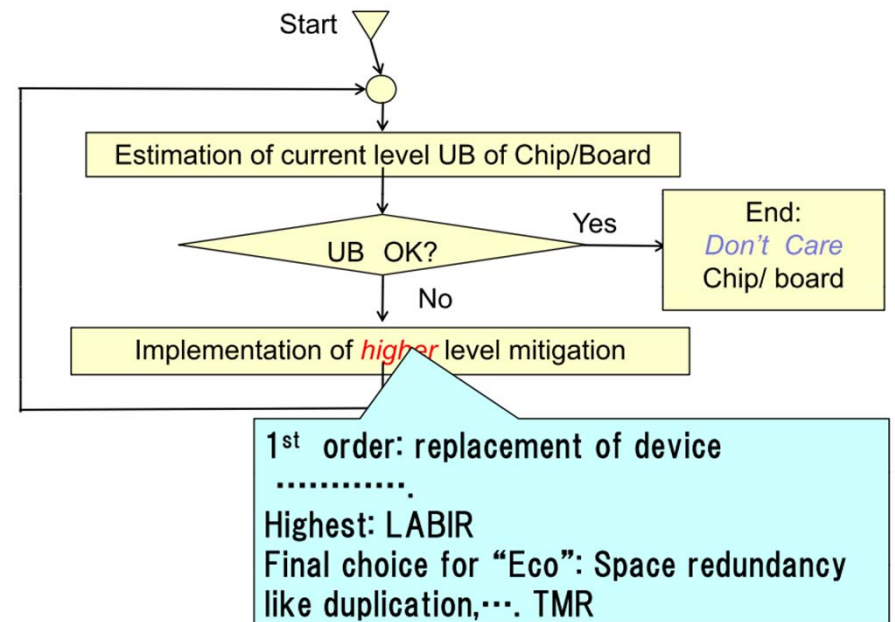


図1 DOUBの概念図

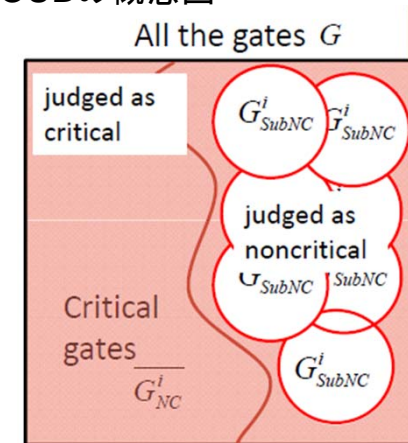


図2 多重CODCの概念図
(厳密には境界を求めないが十分安全側で近い結果を与える)

低消費電力評価・修復法

■ DOEが2008年から 10^{18} Flops/sを目指す Exascale Initiativeを開始。低電力化とエラー耐性を重視。システム修復はCheckpointingを基本。(図1 LANSCE SELSE2007)

■ Cross-Layer Reliability(米国国プロに? Intel SELSE6、LANSCE SELSE7) :低電力化のため Rollback基本。

■ Inter-Layer Built-In Reliability(日立 2010ICICDT、2011IRPS2011) :低電力化のため Rollback基本。

■ Dark Silicon:低電力化のため、空間冗長系回避。Rollback基本。(EFPL 2011IOLTS)

■ 一方でDMR(奈良科学技術大 2011DSN) TMR(広島市立大 2011IOLTS、LANSCE SELSE7)の最適化の議論も盛ん。

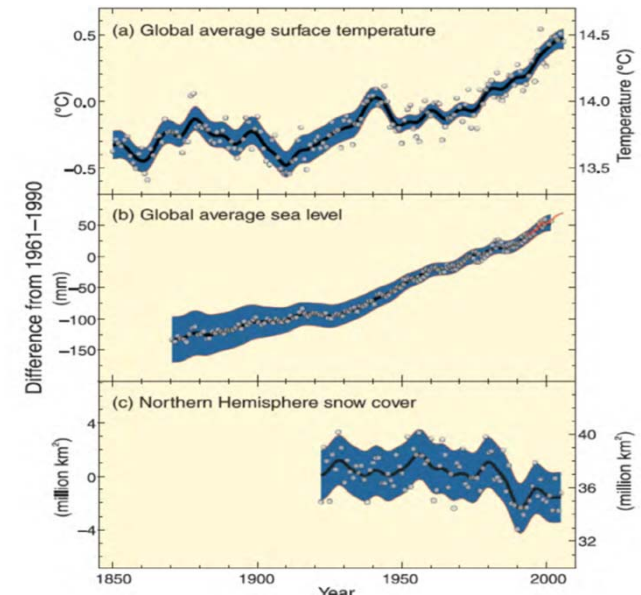


図1 地球温暖化データ(この先どうなる?も Exascale projectのテーマのひとつ)

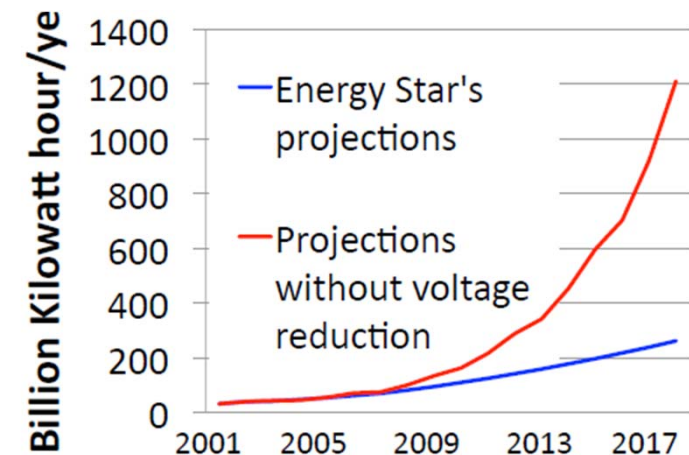


図2 米国のネットワーク電力予想

電子システムの全階層に亘る対策

■ Cross-Layer Reliabilityの提案
 (米国国プロに? Intel SELSE6、LANSCE SELSE7)
 階層間協調。Checkpointing-Rollback基本。

■ Inter-Layer Bulit-In Reliabilityの提案
 (日立 ICICDT2010,IRPS2011) 下層(基板、デバイスレベルでフォールトの兆候(電位、電流など)とらえ、上層で修復。Checkpointing-Rollback基本。

■ フォールトインジェクションでプロセッサの障害(Hazard)を13種類に分類。各Hazardの原因となるノードの個数を指標としてコアベンダに提出を義務付け、システム設計に活用する。
 (図2 Stuttgart大 2011IOLTS)

■ Checkpointingの頻度の最適化
 (Linkoping大 2011DSN)

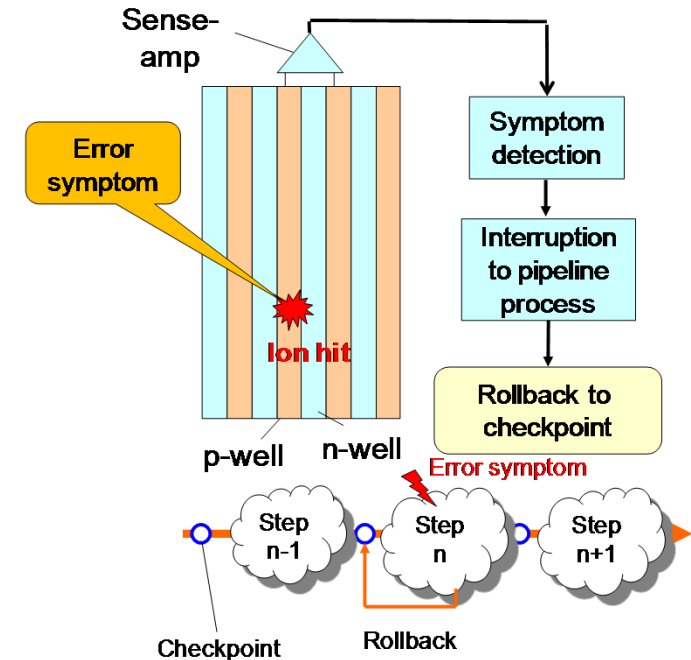


図1 LABIRの概念図

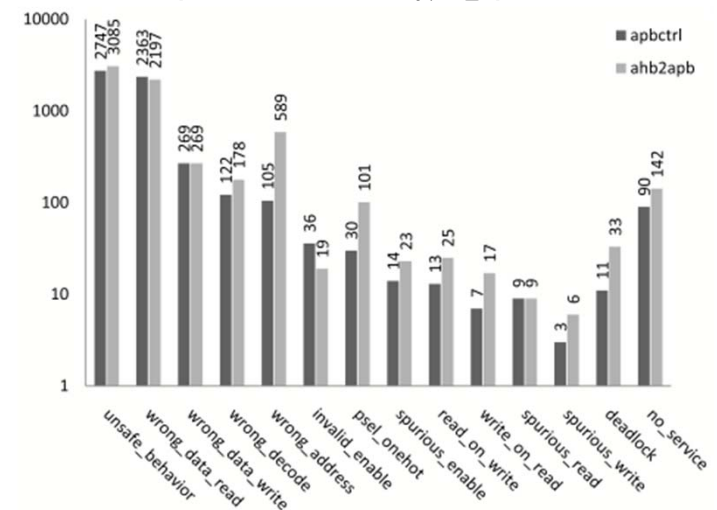


図2 13種のHazardに対する指標

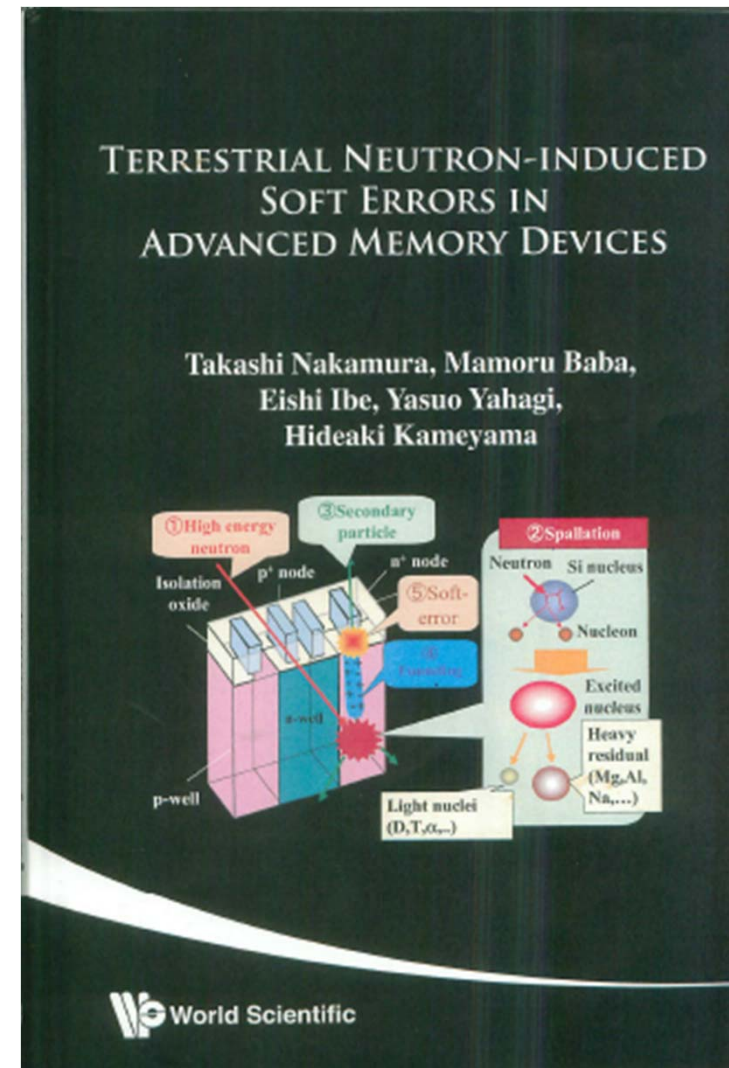
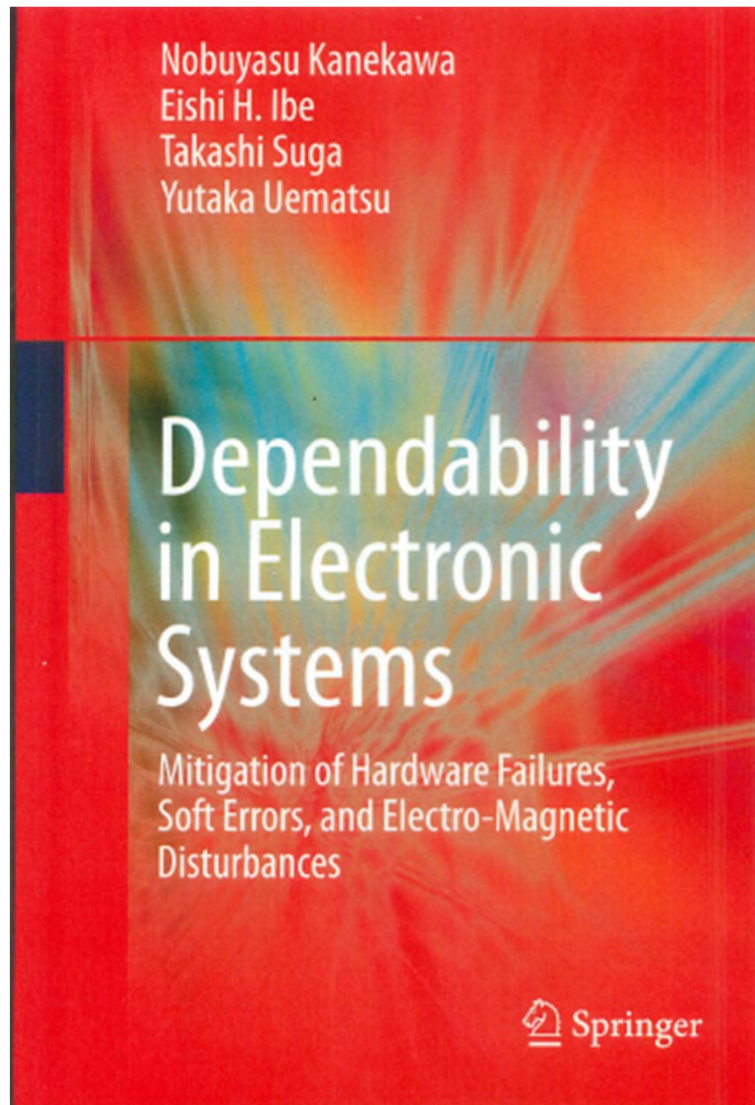
各階層でのActivity

階層	予測	予防	検出	オンライン修復	オフライン修復
アプリケーション	・シミュレーションベースフォールトインジェクション	・確率的コンピュテーション	・異常動作検出 (SWAT など)	・Checkpointing-Rollback	
OS	・ログ解析		・カーネル内検出メカニズム ・OS分割	・OSアイソレーション	・Reboot
PCB	・ボード照射試験	・DOUB (Design On Upper Bound)	・Watch-dog timer	・LABIR (inter-Layer Built-In Reliability) ・Cross-Layer Reliability ・Reconfiguration	・Reboot
プロセッサ	・シミュレーションベースフォールトインジェクション ・エミュレータベースフォールトインジェクション ・照射試験	・キャッシュ内のデータ寿命を短縮	・DMR (Double Module Redundancy)	・TMR (Triple Module Redundancy) ・Chekpointing-Rollback	・Reboot
回路	・回路シミュレーション ・ロジックマスキングシミュレーション ・照射試験	・空間、時間冗長系 (DICE, SEUT, BISER, SEILA など)	・FFにパリティ付加 ・BIST (Built-In Self Test)	BISR (Built-In Self Repair)	
デバイス	・SEEモンテカルロシミュレーション ・TCADシミュレーション ・照射試験	・抵抗、容量不可 ・電荷収集領域縮小	・ECC、パリティ	・ECC (SBUのみ) ・ミラーリング	
基板・ウェル	・TCADシミュレーション	・導電性改善 ・ウェル構造改善	・BICS (Built-In Current Sensor) ・BICP (Built-In Pulse Sensor)		

ご提案

- ソフトエラー研究は裾野が広がりすぎて、大学・企業の個別調査では限界。
論文数/出張旅費
- ボランティア調査もそろそろ限界
- ルースに担当を決めて分担、定期的に報告会を実施。招待講演あり。研究会を作って報告書を提出するようなスキームで予算化できないか(国プロ?)?

ご参考



Backup