

マルチビットアップセット耐性及び シングルビットアップセット耐性を備えた 8T SRAMセルレイアウト

吉本秀輔
神戸大学 博士課程1年

E-mail : yoshipty@cs28.cs.kobe-u.ac.jp

Outline

- 背景
- 提案8T SRAM cell layout
- ソフトエラーシミュレーション結果
- 消費電力比較結果
- まとめ

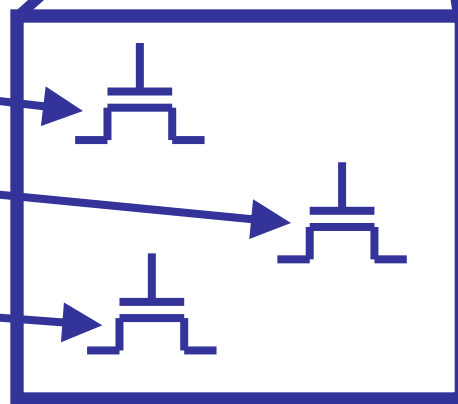
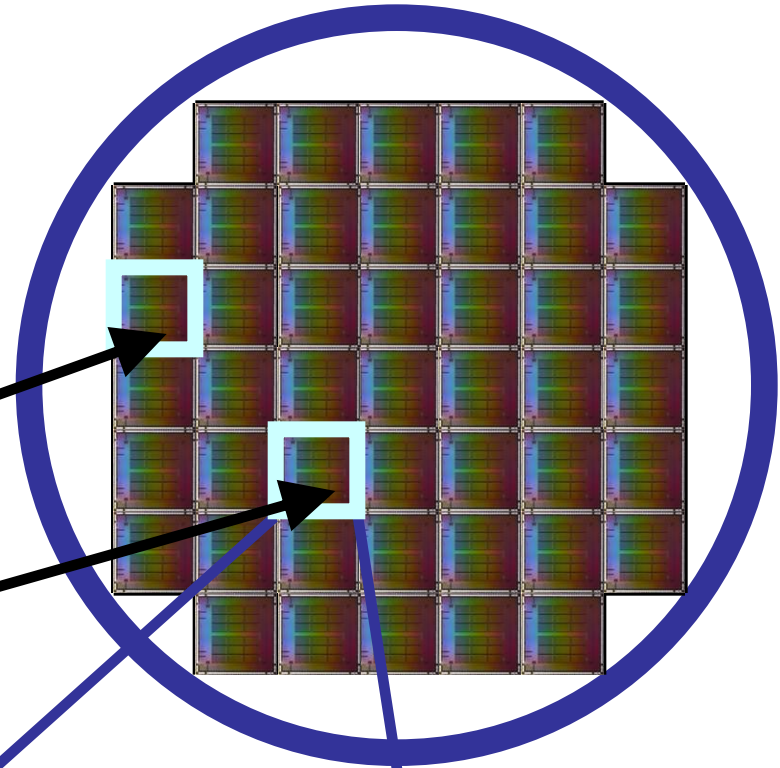
Outline

- **背景**
- **提案8T SRAM cell layout**
- **ソフトエラーシミュレーション結果**
- **消費電力比較結果**
- **まとめ**

閾値ばらつきの問題

- **Systematic variation**
 - Die-to-Die (Inter-die)
- **Random variation**
 - Within-Die (Intra-die)

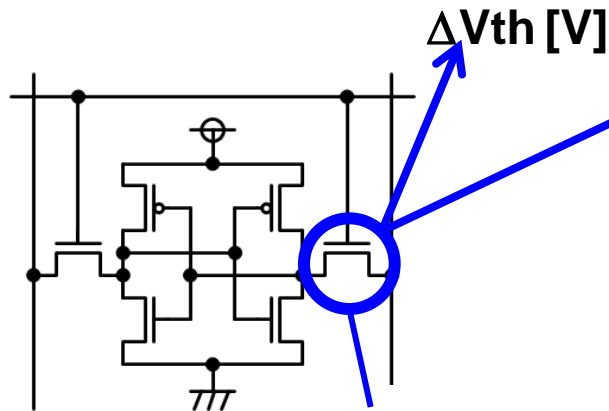
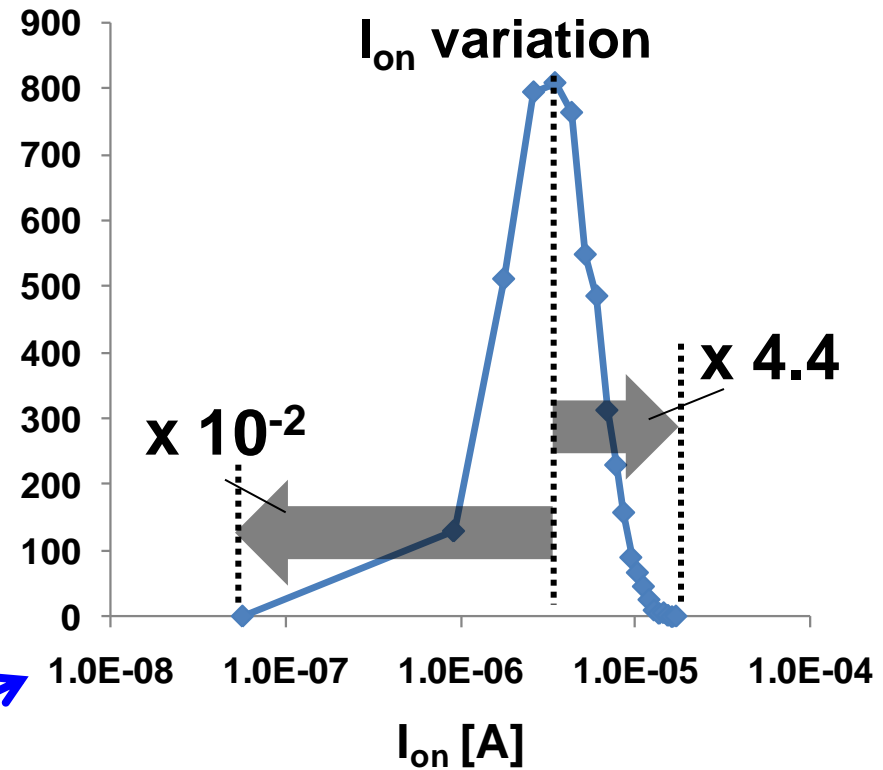
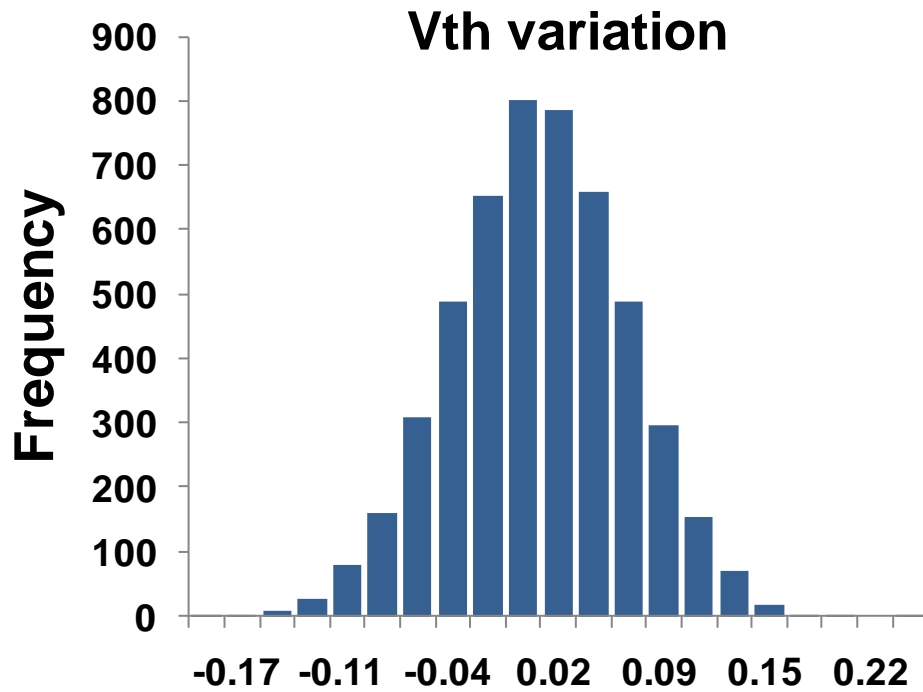
— Inter-die
— Intra-die



$$\sigma_{V_{th}} = \frac{A}{\sqrt{L \times W}}$$

SRAMにおける閾値ばらつき

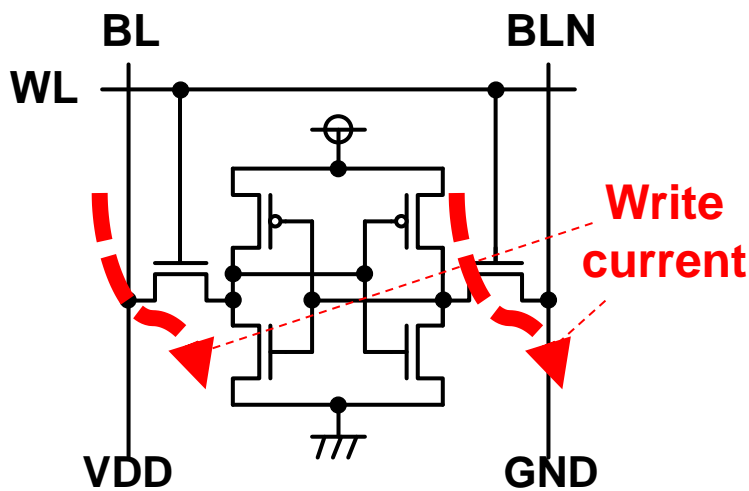
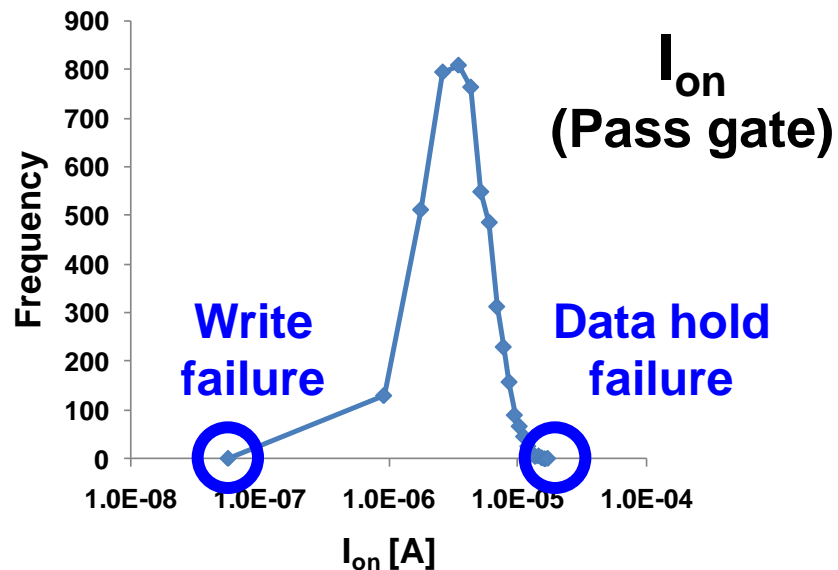
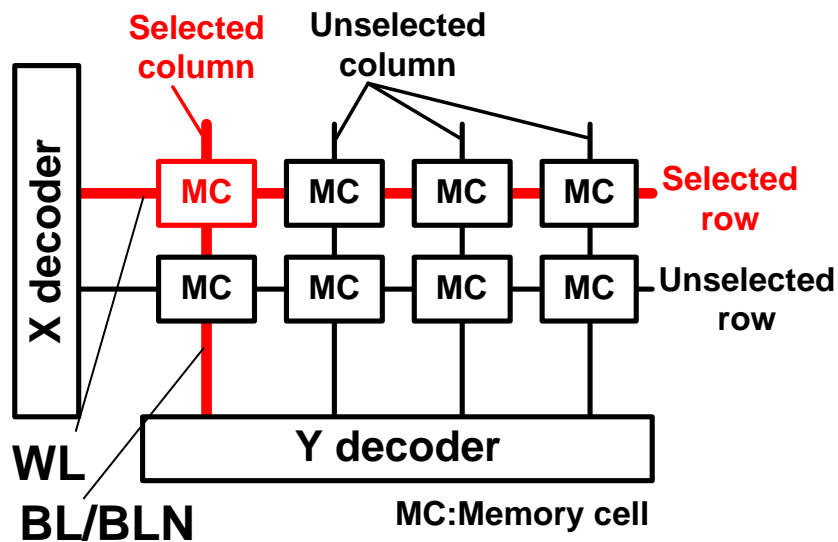
CMOS 45nm process
Tr. size = minimum
CC, 25degC, VDD=0.5 V
5K Monte calro



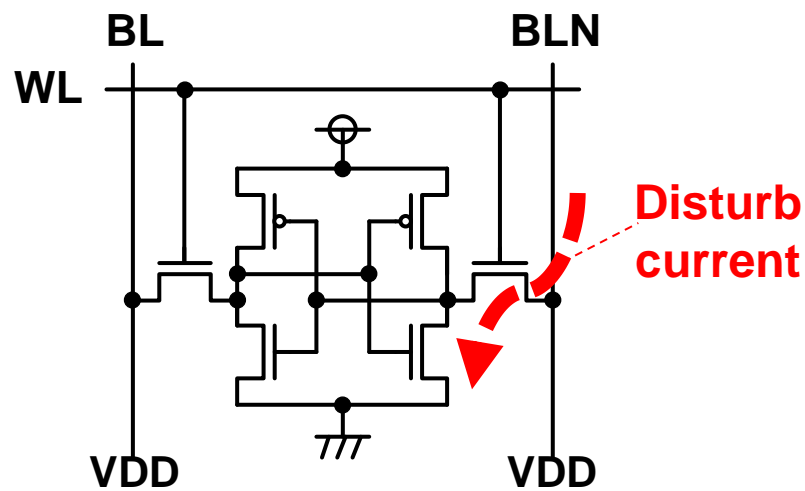
I_{on} is largely shifted by the variation

Pass gate Tr.

低電圧動作を阻害するハーフセレクト問題

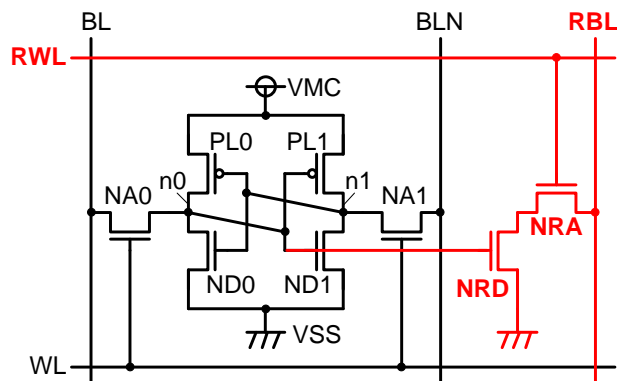


Write target cell

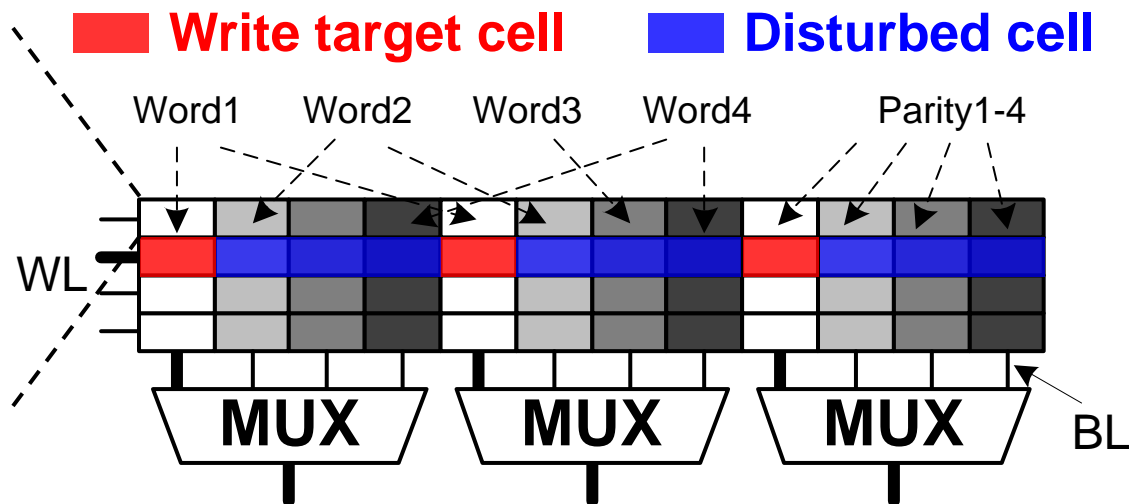


Unselected cell

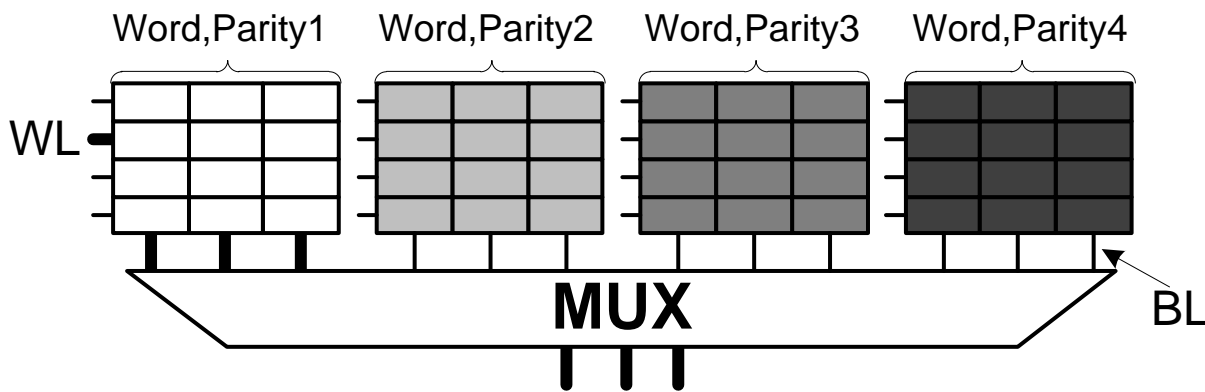
8T + 分割ワード線(Divided WL)構造



8T SRAM cell



Bit interleaving



Divided wordline

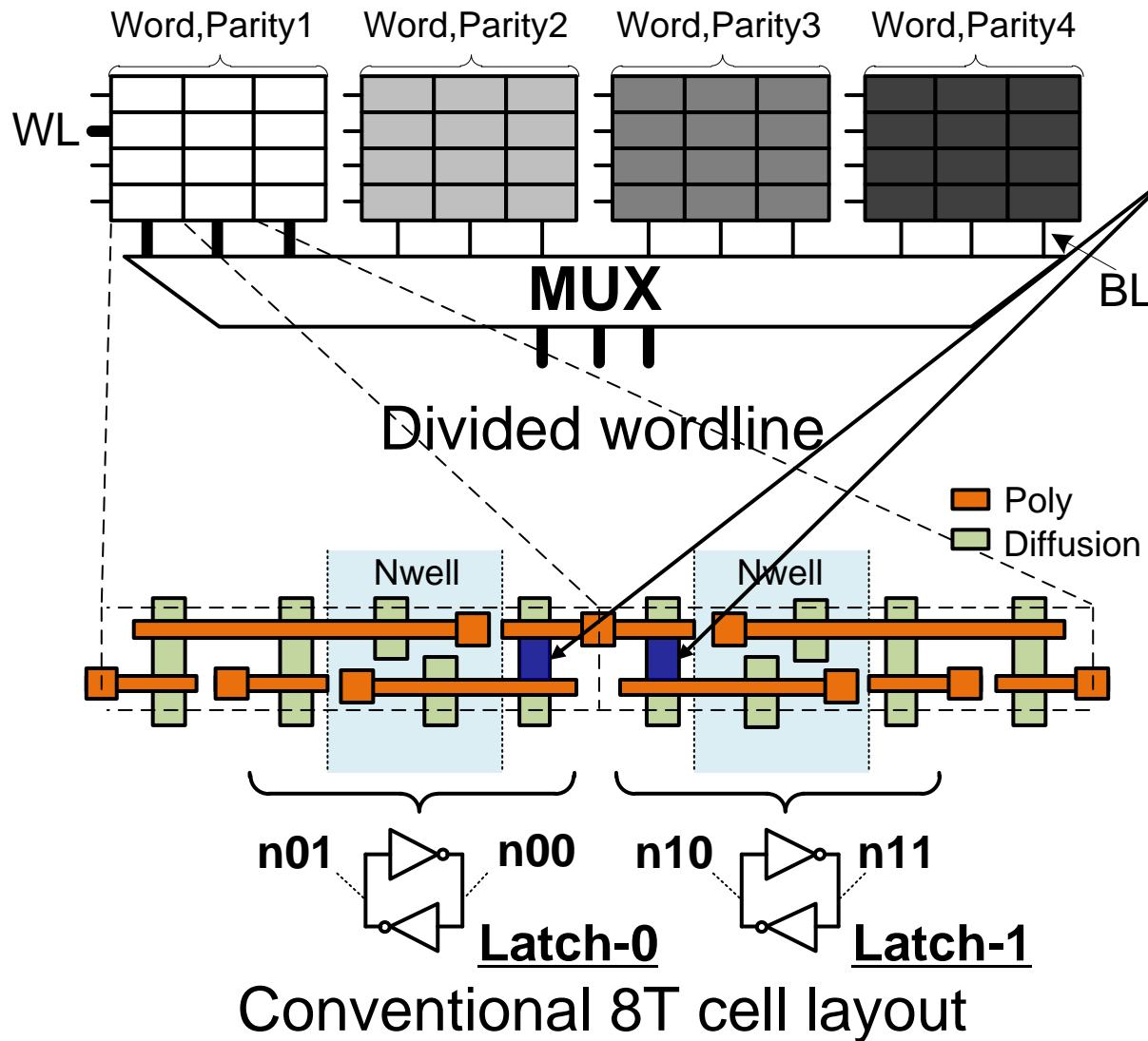
8T cellによる
読出しディスタ urb 排除

+

分割ワード線構造による
書込みディスタ urb 排除

低電圧動作が可能と
なる

従来8T SRAMセルレイアウトにおける問題



ラッチのノードが隣接するため、ソフトウェアにより反転しやすい



同一ワード内のMultiple Bit Upset (MBU)が発生しやすい

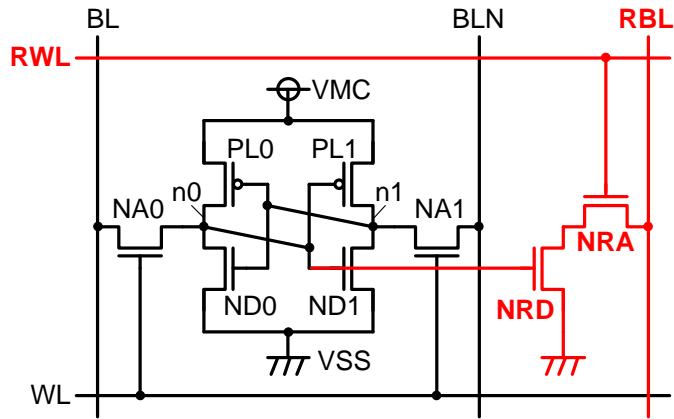


ECCによる救済が困難となる

Outline

- 背景
- **提案8T SRAM cell layout**
- ソフトエラーシミュレーション結果
- 消費電力比較結果
- まとめ

提案8T SRAM cell layout -1/2-

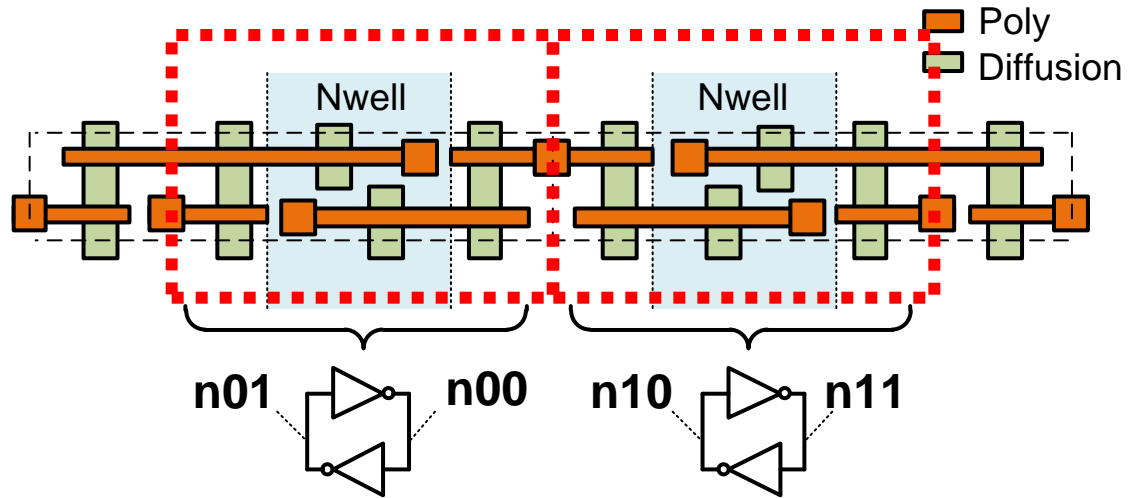


8T cell

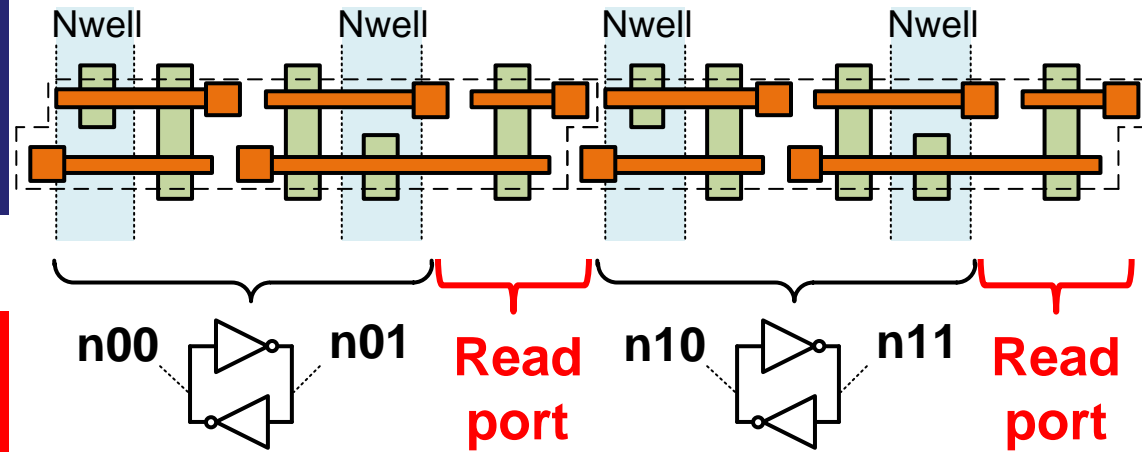
1. Transistors of a latch are PMOS-NMOS-PMOS.
2. The 8T cell alignment pattern is slide type (NOT symmetrically).



読出しポートにより、隣接するSRAMセルのラッチ部を分断出来る

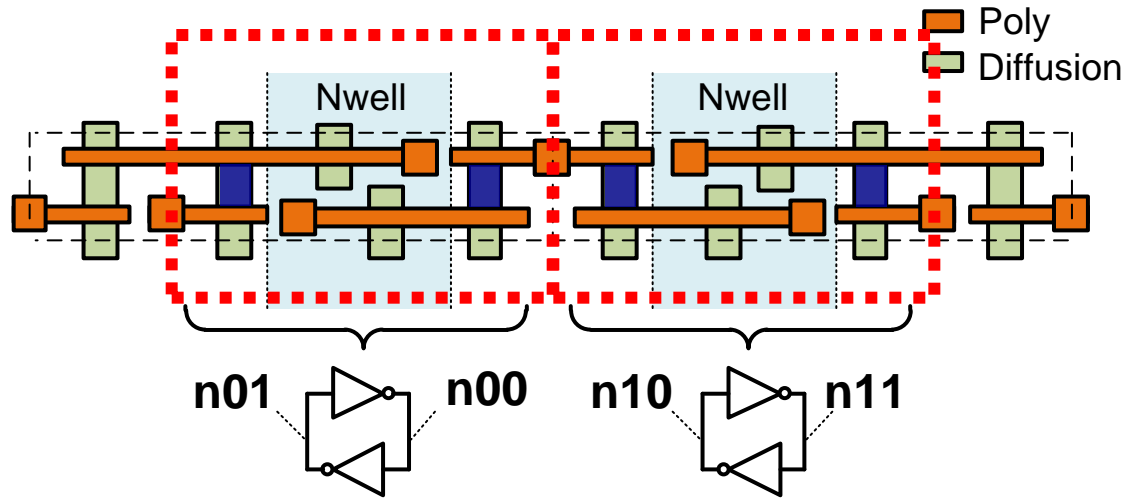
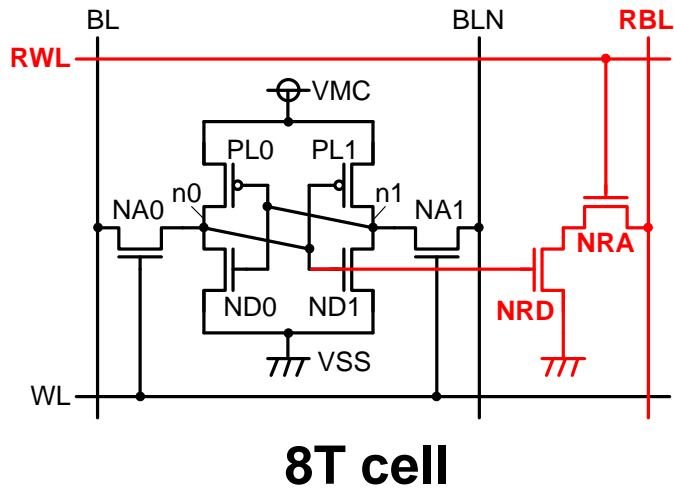


Conventional 8T cell layout



Proposed 8T cell layout

提案8T SRAM cell layout -2/2-

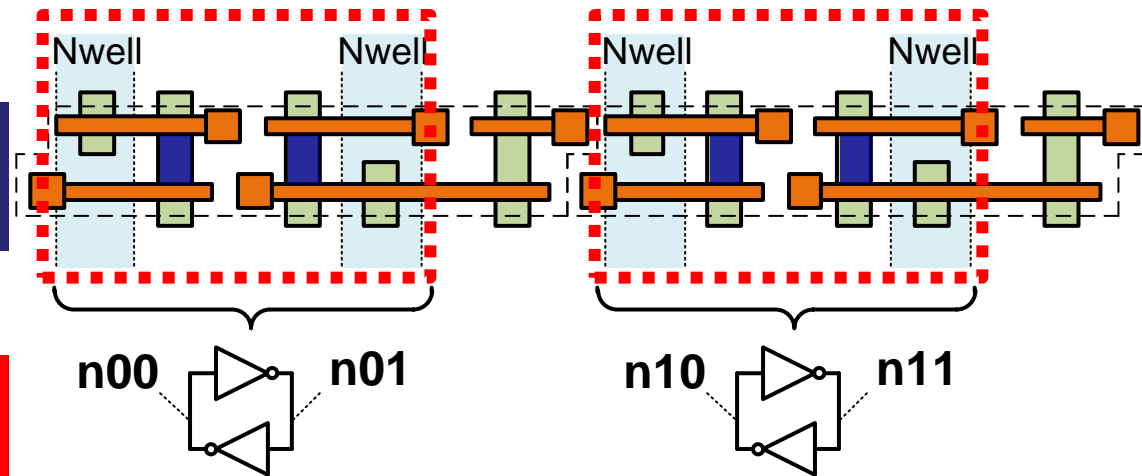


NMOS is more sensitive to SEU than PMOS (x 3.5-4.5)

The NMOSes are adjacent in the proposed cell



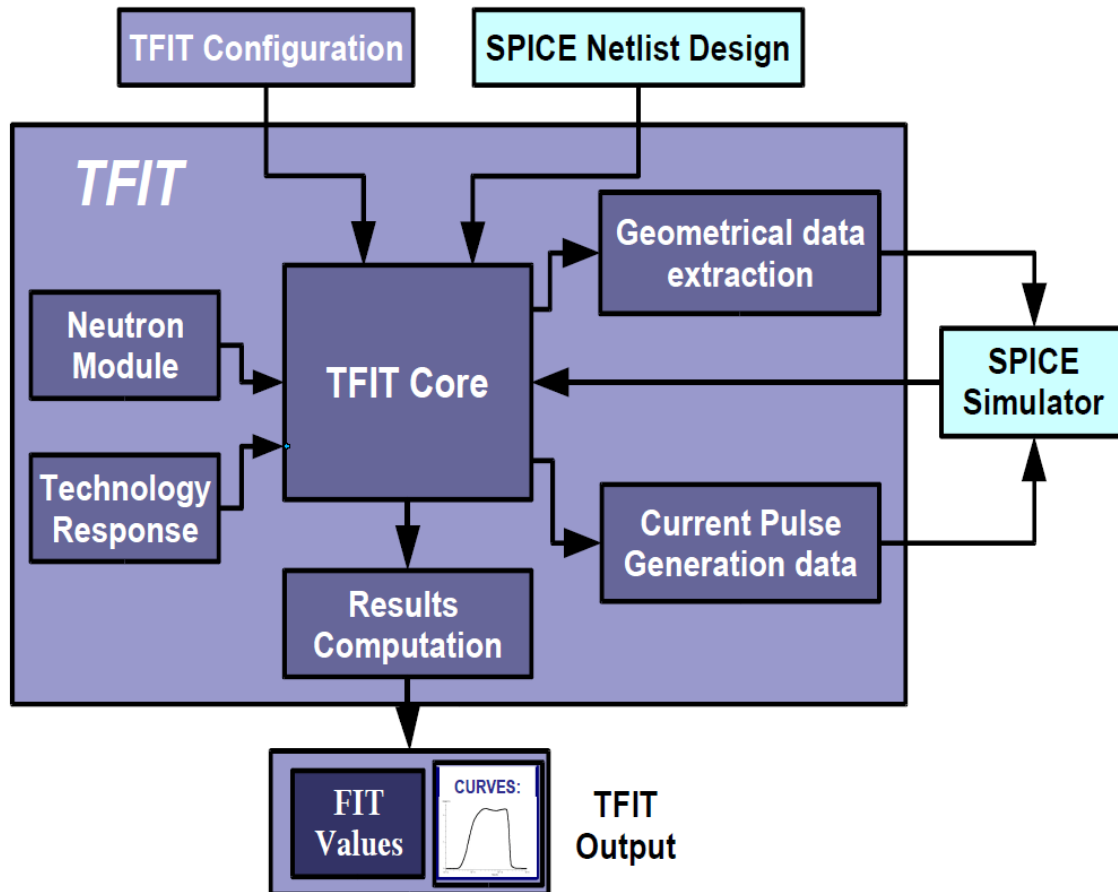
コモンモードによるSEU耐性向上が期待出来る



Outline

- 背景
- 提案8T SRAM cell layout
- ソフトエラーシミュレーション結果
- 消費電力比較結果
- まとめ

Soft-error simulator (TFIT)



Technology :

65nm generic CMOS

SPICE simulator :

HSPICE B-2008.09

SPICE model :

PTM 65nm CMOS

Built-in module :

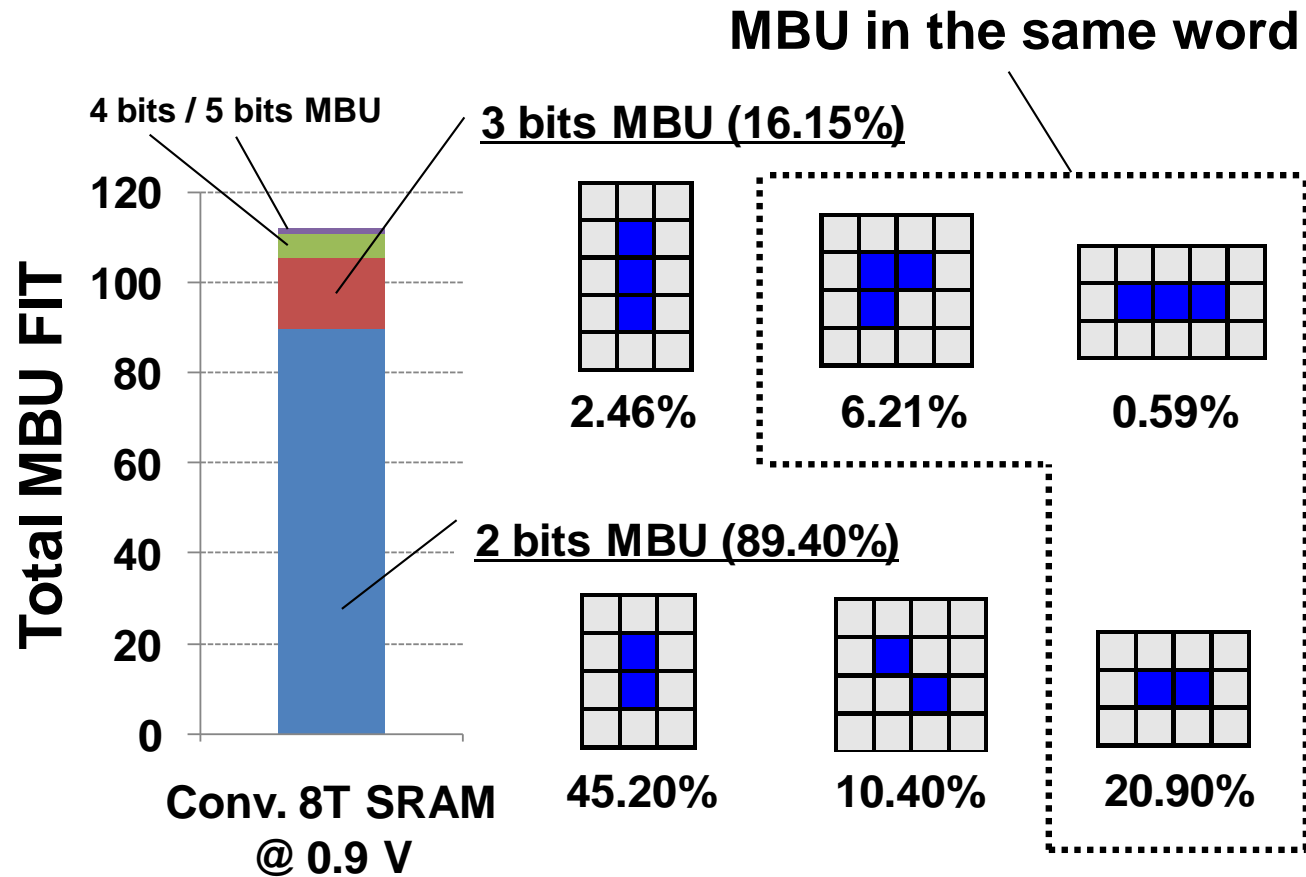
Neutron-particle-induced
MBU simulation

Neutron MBU module :

Normalized at NY sea level

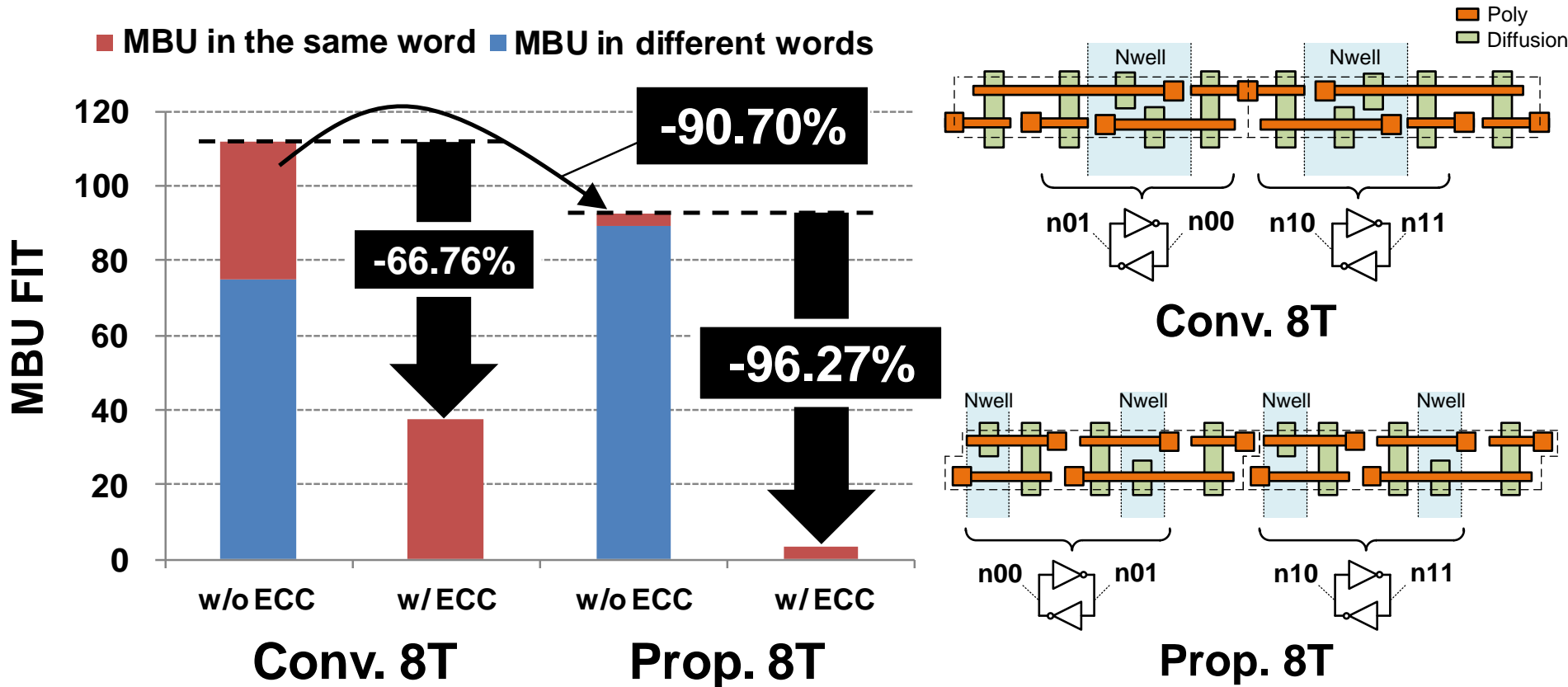
supported by iRoC technology

Neutron MBU simulation (従来8T)-1/3-



同一ワード内における, 2bit以上のMBUが
問題となる

Neutron MBU simulation @ 0.9 V -2/3-



提案レイアウトを用いることにより, ワード線方向の MBUを90.70%削減可能. 結果, 1bit correcting ECC により96.27%のMBUを救済可能.

Neutron MBU simulation -3/3-

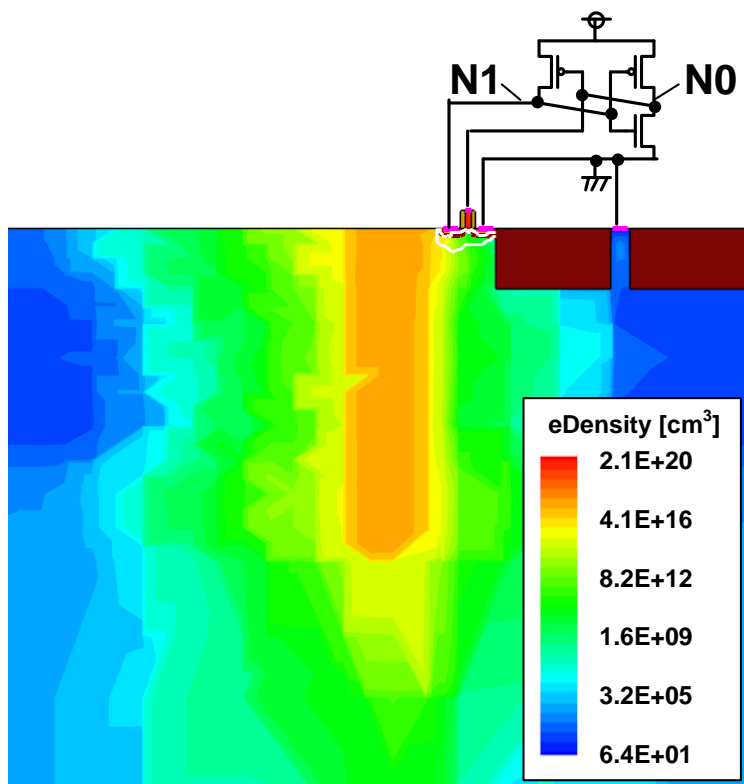
TABLE I
NEUTRON-INDUCED MBU AT 0.9-1.3 V

Type	VDD [V]	w/o ECC [FIT]	w/ ECC [FIT]	MBU Reduction
Conv. 8T	0.9	111.92	37.20	-66.76%
	1.0	85.87	27.85	-67.56%
	1.1	64.68	20.77	-67.89%
	1.2	43.79	13.60	-68.95%
	1.3	37.12	11.50	-69.02%
Prop. 8T	0.9	92.78	3.46	-96.27%
	1.0	68.49	2.57	-96.24%
	1.1	50.04	1.82	-96.36%
	1.2	32.68	1.06	-96.74%
	1.3	26.79	0.85	-96.81%

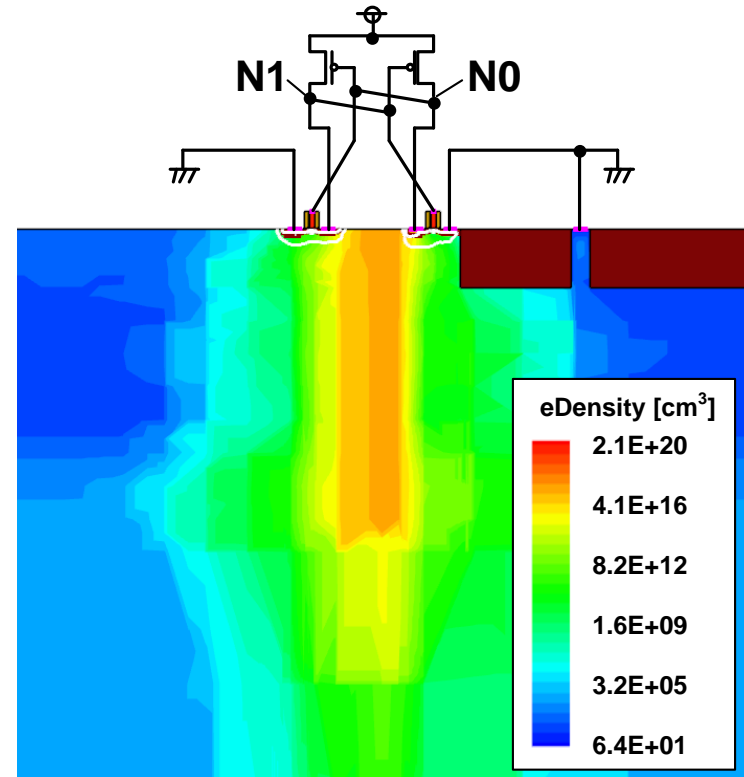
-30%

0.9V-1.3Vにおいて、
MBU救済率が30%改善

3-D TCAD simulation -1/2-



Conv. 8T



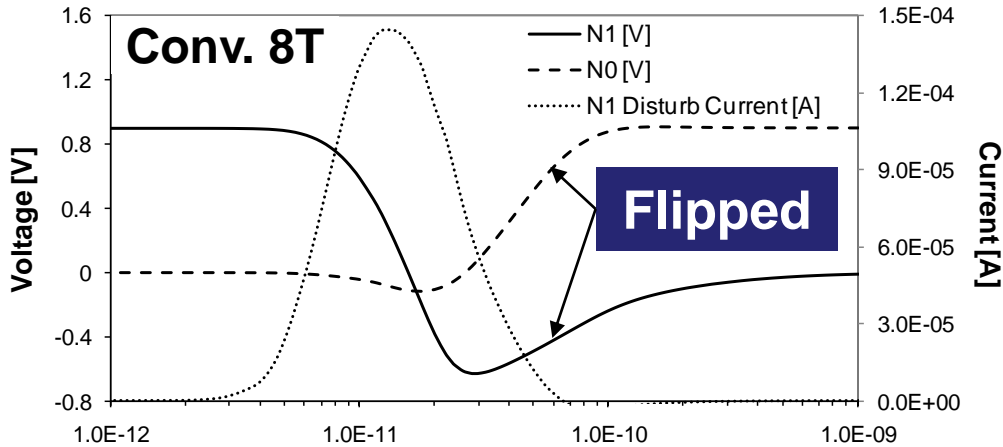
Prop. 8T

3-D NMOS & SPICE models : PTM 65-nm CMOS

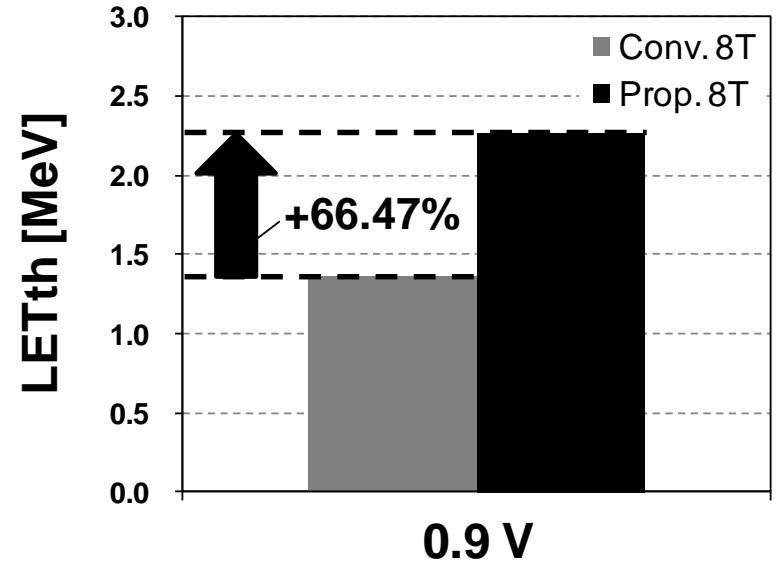
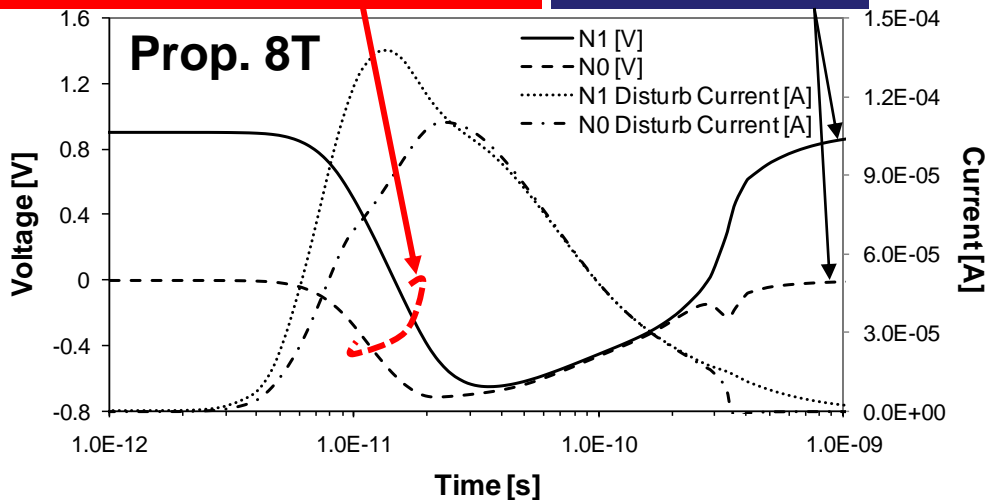
Simulator : Synopsys TCAD

Particle LET : 5.49 MeV

3-D TCAD simulation -2/2-



Common-mode effect **Not flipped**

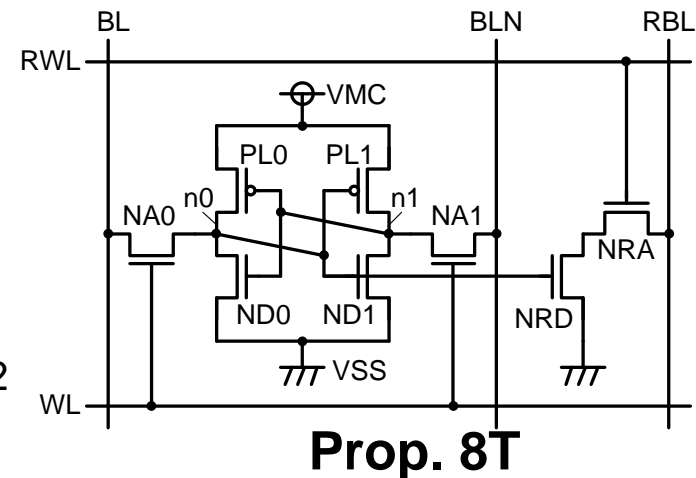
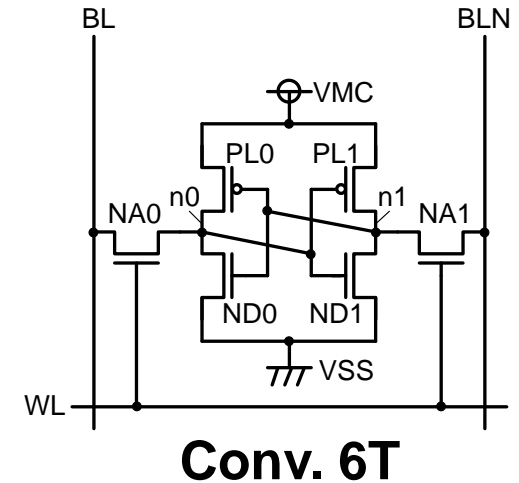
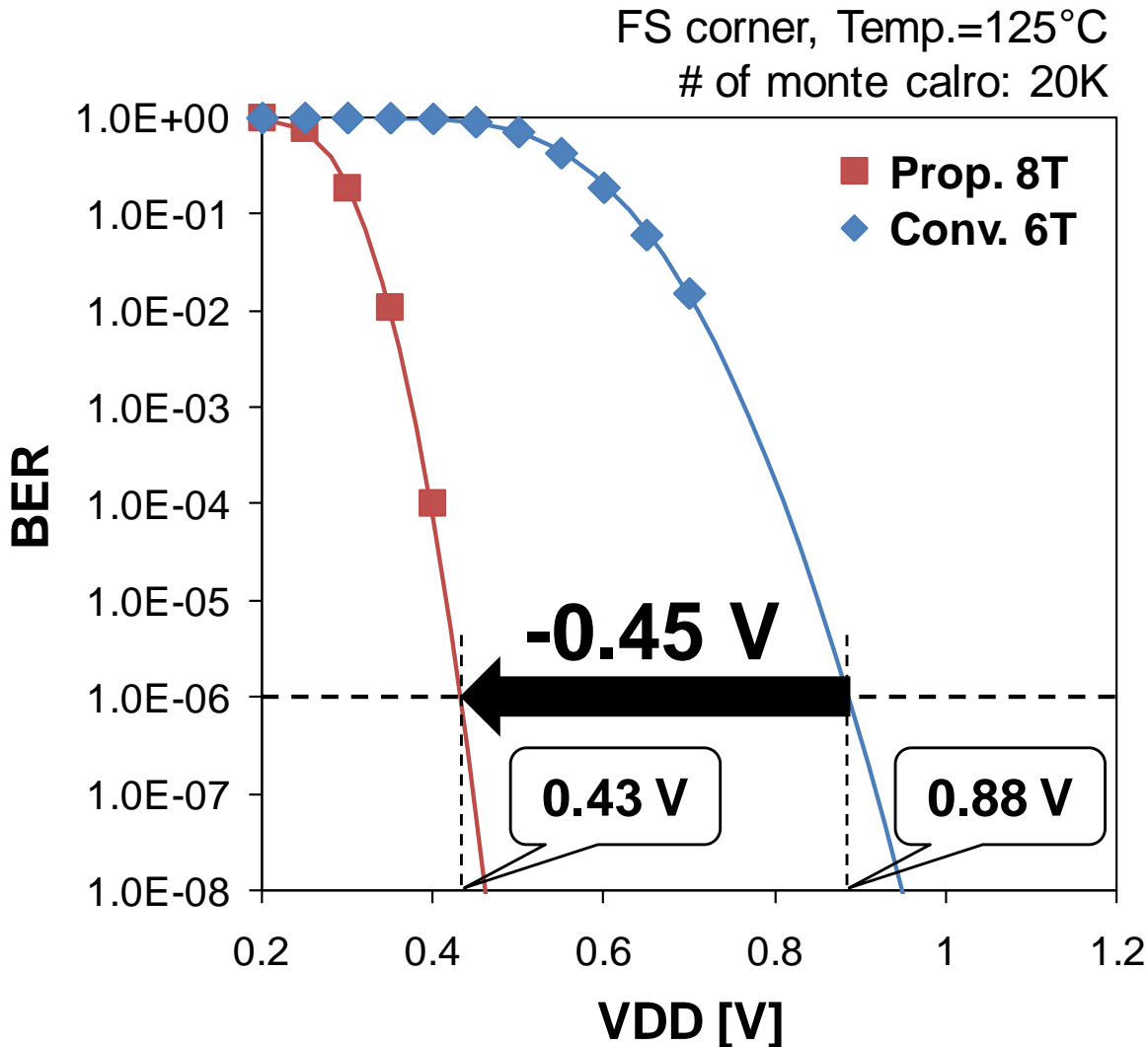


**SEU tolerance
is improved**

Outline

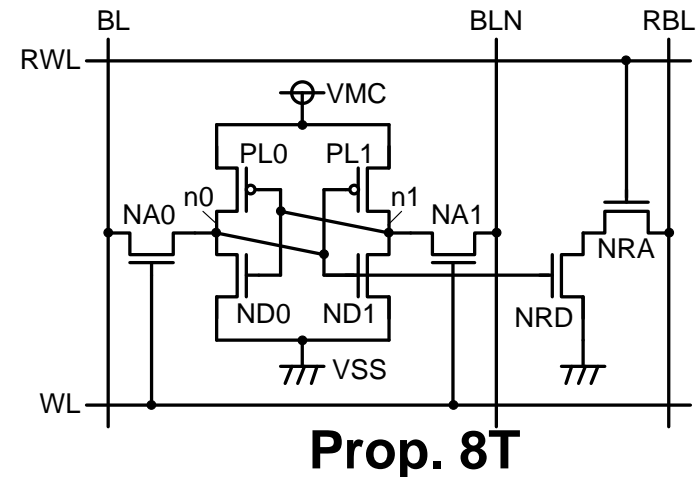
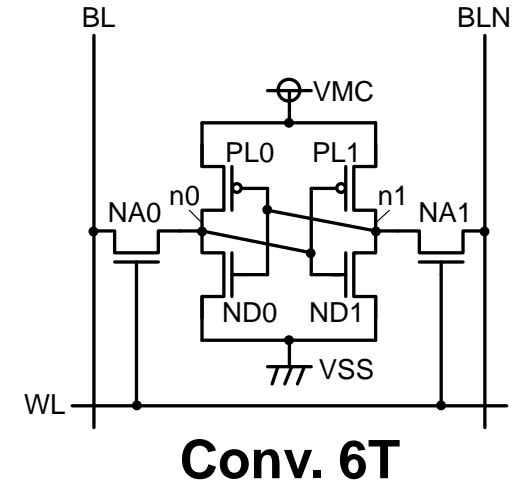
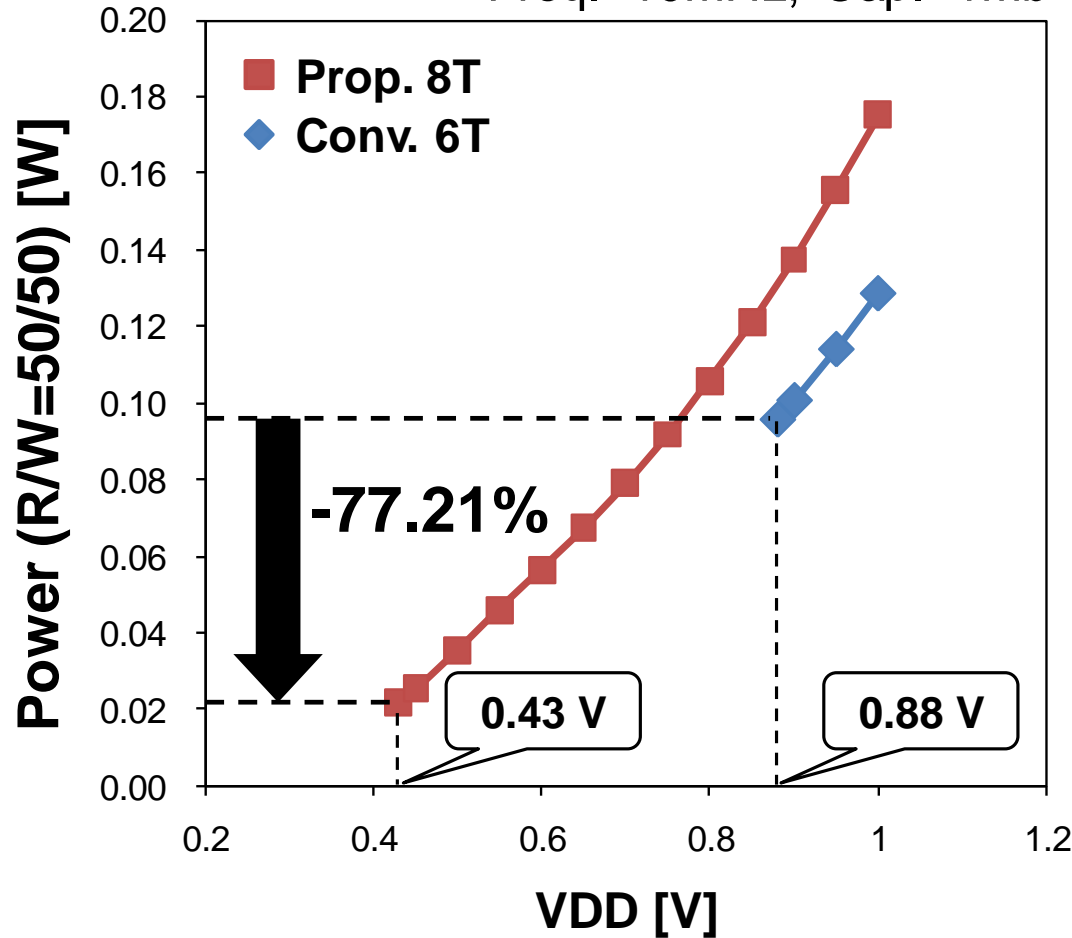
- 背景
- 提案8T SRAM cell layout
- ソフトエラーシミュレーション結果
- **消費電力比較結果**
- まとめ

最低動作電圧改善



消費電力比較結果

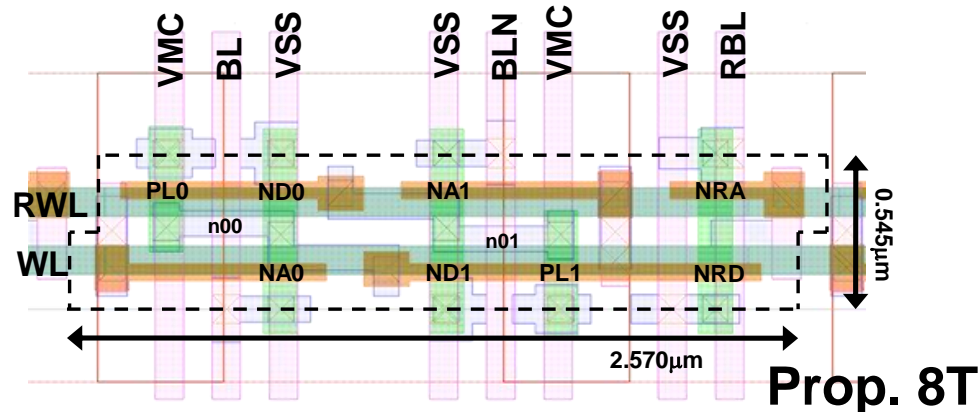
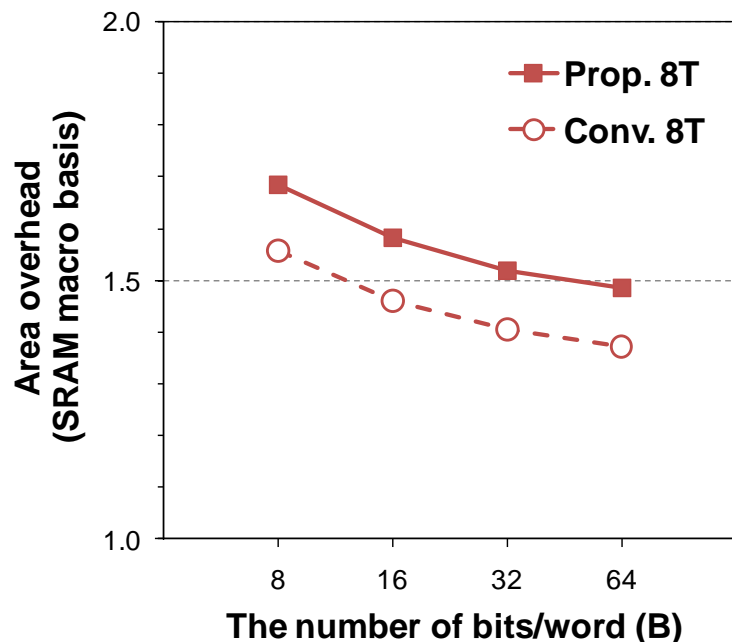
FF corner, Temp.=125°C
Freq.=10MHz, Cap.=1Mb



面積オーバーヘッド見積もり結果

SRAM ARRAY FEATURES

	Conv. 6T SRAM	Conv. 8T SRAM	Prop. 8T SRAM
Cell area [μm^2] (ratio to 6T)	0.9701/cell (x 1.00)	1.294/cell (x 1.33)	1.401/cell (x 1.44)
Array style	Bit interleaving	Divided WL	Divided WL
Configuration	B bits/word x 8 words/row x 256 cells/bitline		
ECC	1-bit correction		



**48.45% area overhead
(64 bits/word)**

Outline

- 背景
- 提案8T SRAM cell layout
- ソフトエラーシミュレーション結果
- 消費電力比較結果
- まとめ

Summary

**MBU & SEU 耐性を有する
8T SRAM cell layoutを提案**

90.70% MBU reduction

-0.45V $V_{DD_{min}}$ improvement

77.21% power reduction

プロセス・設計コストをかけずに、レイアウトの
工夫のみでMBU改善が可能となる

分割ワード線構造の適応範囲を広げ、
SRAMの低電圧・低電力化を促進出来る