

ソフトウェア評価技術・対策技術の 研究開発戦略

富士通セミコンダクター(株)

上村 大樹

Fujitsu Semiconductor LTD.

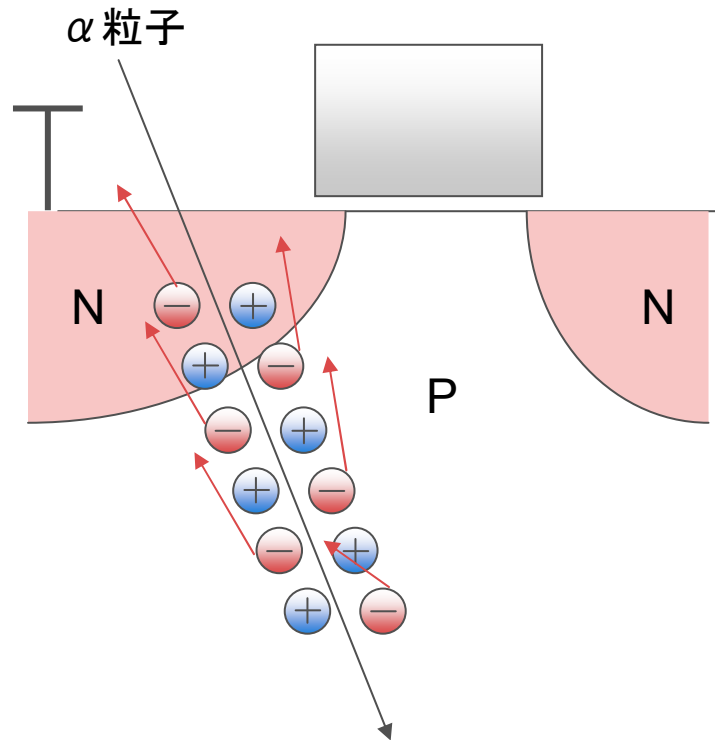
E-mail: uemura.taiki@jp.fujitsu.com

ソフトウェアの 測定技術と対策技術

- ソフトエラーについて
- ソフトエラー評価技術
- ソフトエラー対策技術

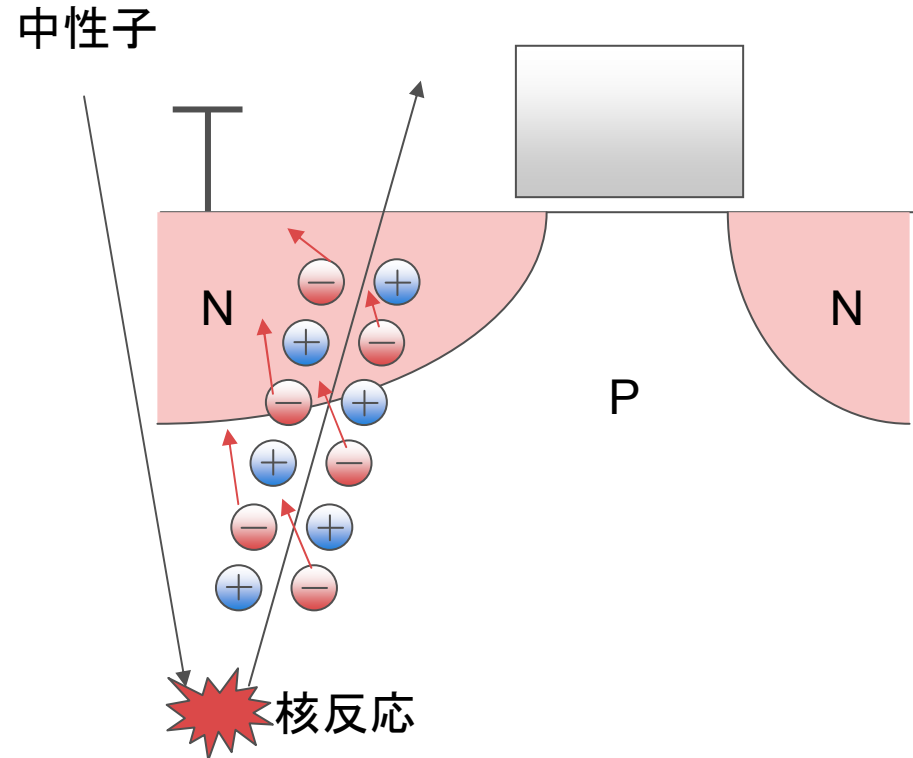
α 線

IC材料中の放射性不純物から



中性子線

宇宙線起因の環境中性子



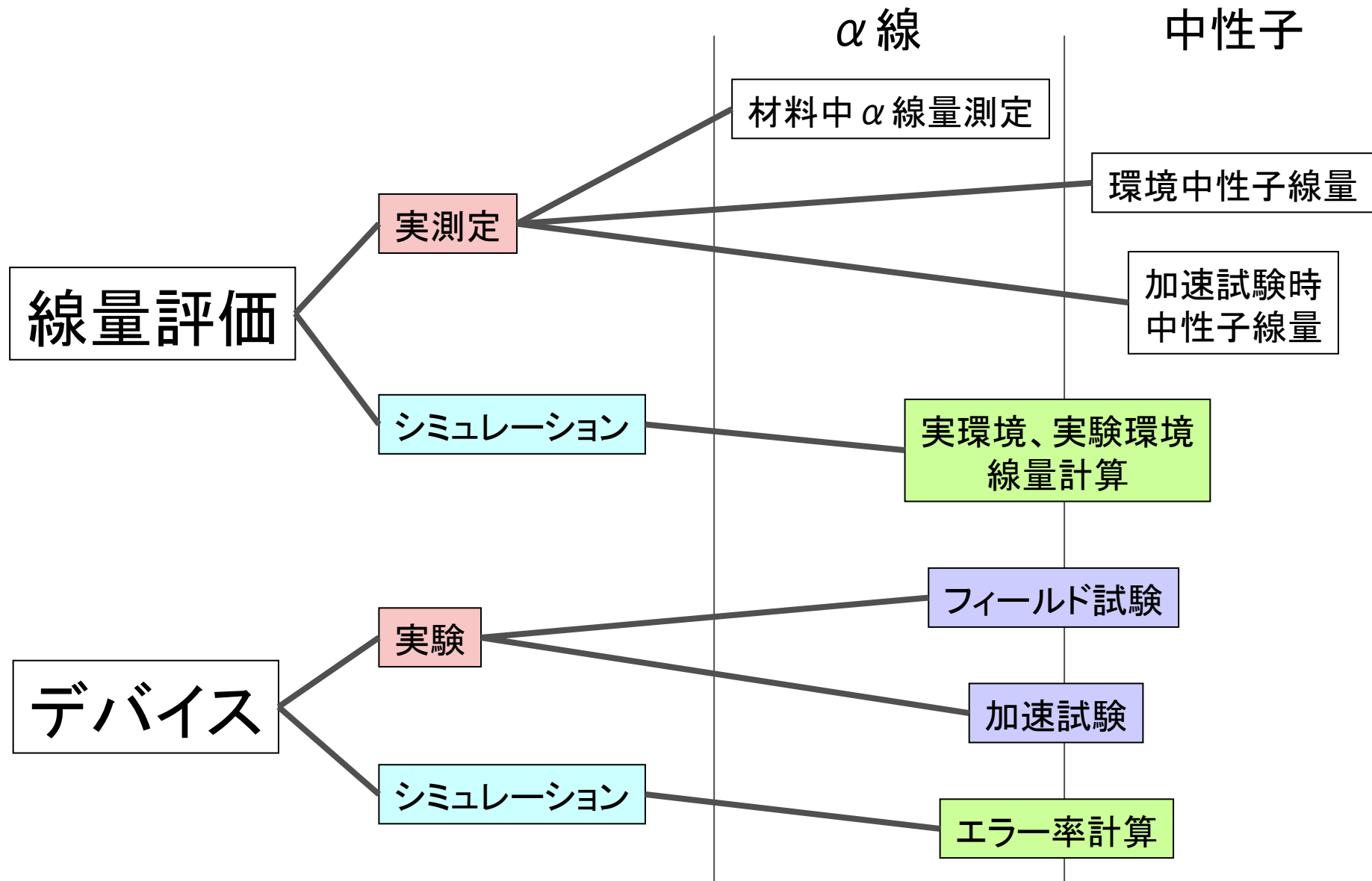
α 線、中性子により発生する電子or正孔がドレインに収集され電流ノイズが発生する

■ ソフトエラーに関する規準

- JESD89A(JEDEC Standard: [Measurement and Reporting](#) of Alpha Particle and Terrestrial Cosmic Ray-Induced Soft Errors in Semiconductor Devices)

■ 半導体産業の特徴

- 製造技術が完成する前から、設計作業が始まることがある。
- 非常に短いサイクルで、新しいテクノロジーが生まれる。



中性子ソフトウェアの評価

- 中性子線量測定
- 中性子フィールド試験
- 中性子加速試験

中性子線量は一定でない

■ 時期(太陽周期)

- 11年周期で、13%変化

■ 位置(磁気緯度)

- 日本は、NYの6~7割

■ 高度(大気遮蔽)

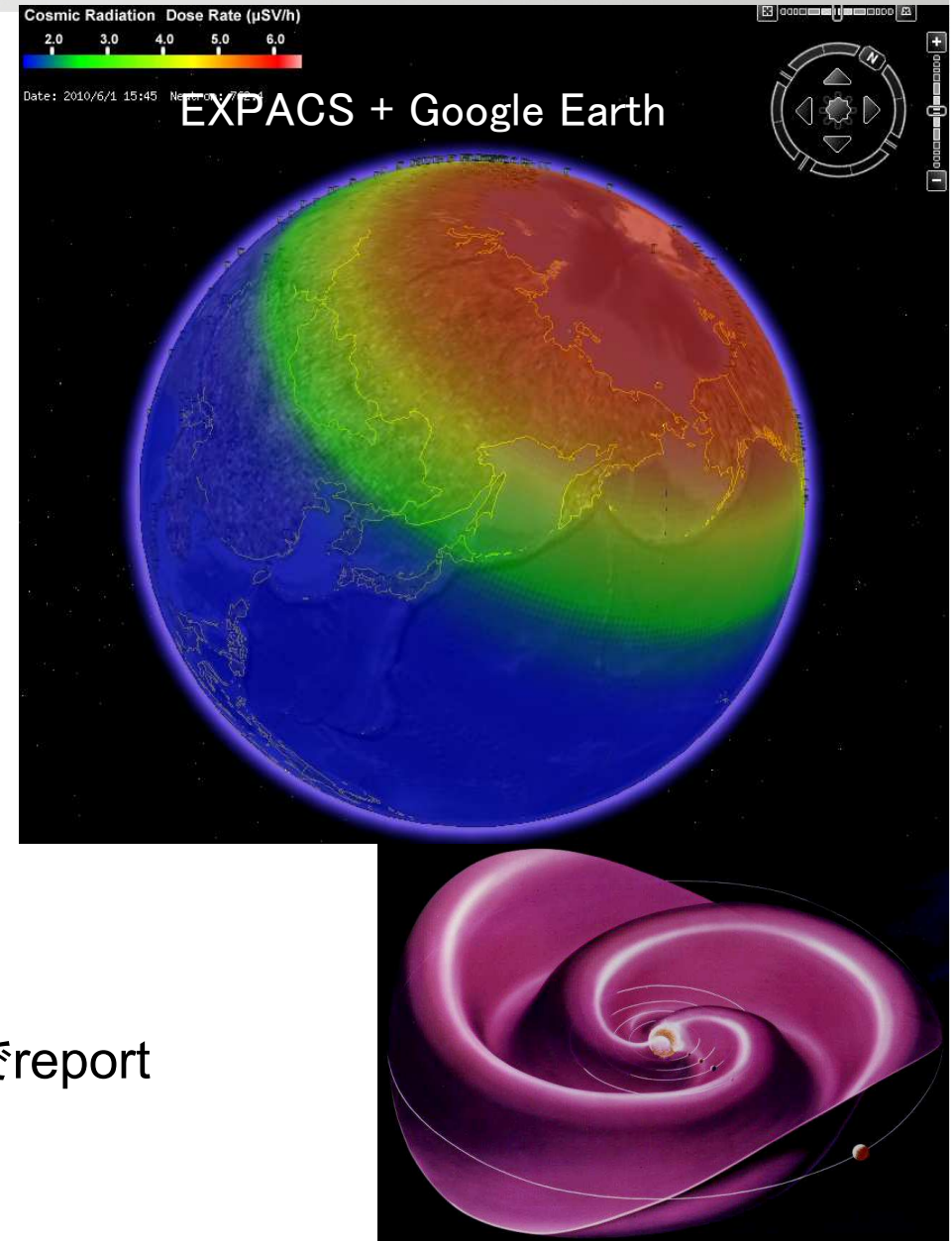
- 高度が高いと線量が上がる。
- 800m上昇で2倍

■ 建物(遮蔽)

- 3F中1Fで、半分になることも

■ JESD89A

- 13cph/cm²(10Mev以上の中性子)でreport
 - @NY、open air, sea level

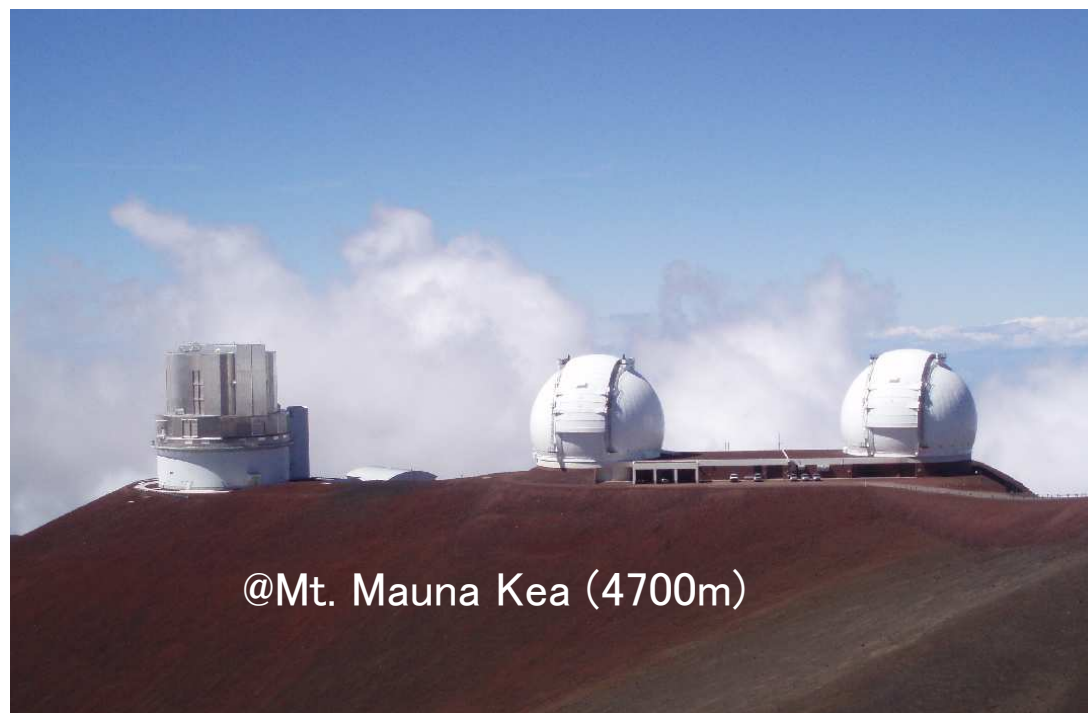
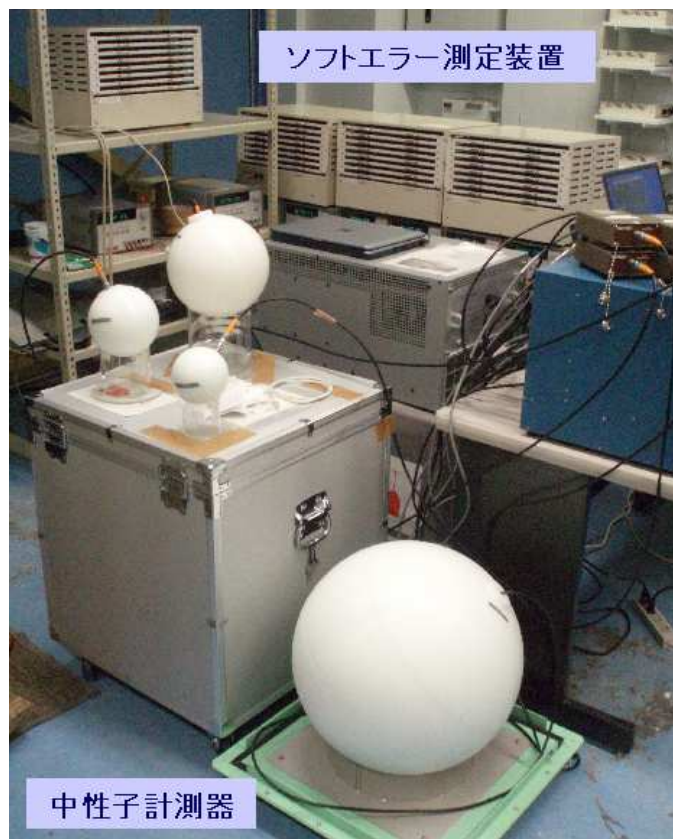




[R. Takasu, 2007]

- ボナーボール検出器(低エネルギー)と、シンチレータ検出器(高エネルギー)の組み合わせにより、幅広いスペクトルの環境中性子線量を測定することが可能。

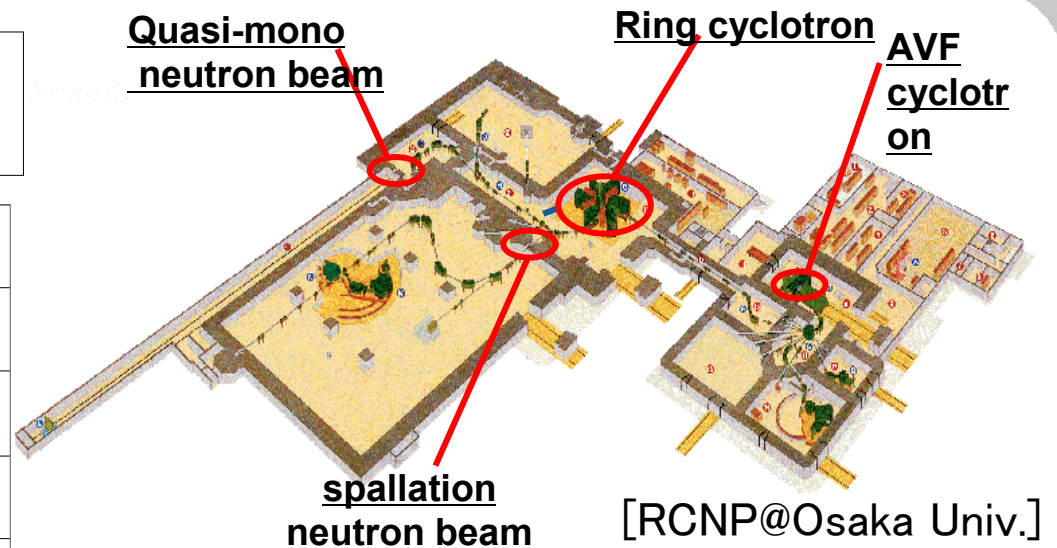
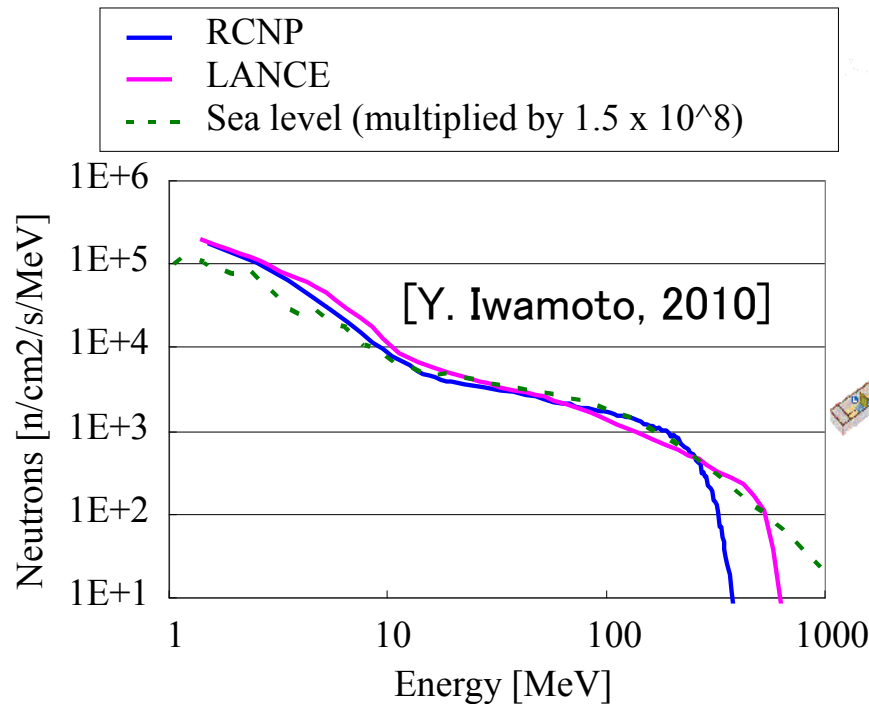
中性子ソフトウェアのフィールド試験



[2008 Y. Tosaka, et al.]

- 高地で行うことにより、データ取得速度を上げる、 α 線の影響を相対的に低くすることが可能。
- 線量を同時計測することにより、より正確なデータ取得が可能。

中性子加速試験



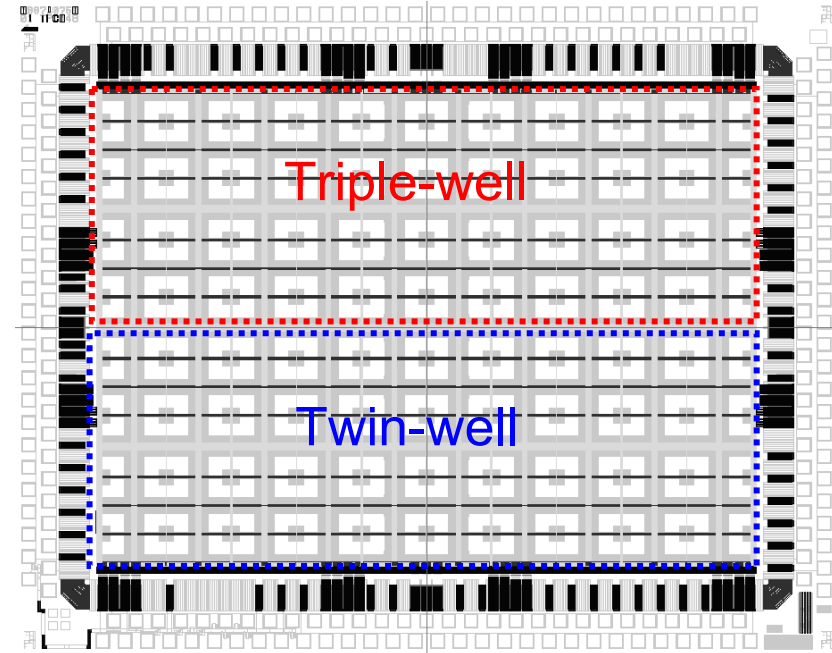
短時間で結果が得られ、低いエラー率のデバイスも評価が可能。

- ・ソフトエラー対策をほどこした回路
- ・製品

■ JESD89A

- 試験施設: LANSCE、TRIUMF、RCNP、(ANITA)→同じスペクトルとしている
- 線量は10MeV以上の中性子数で規格

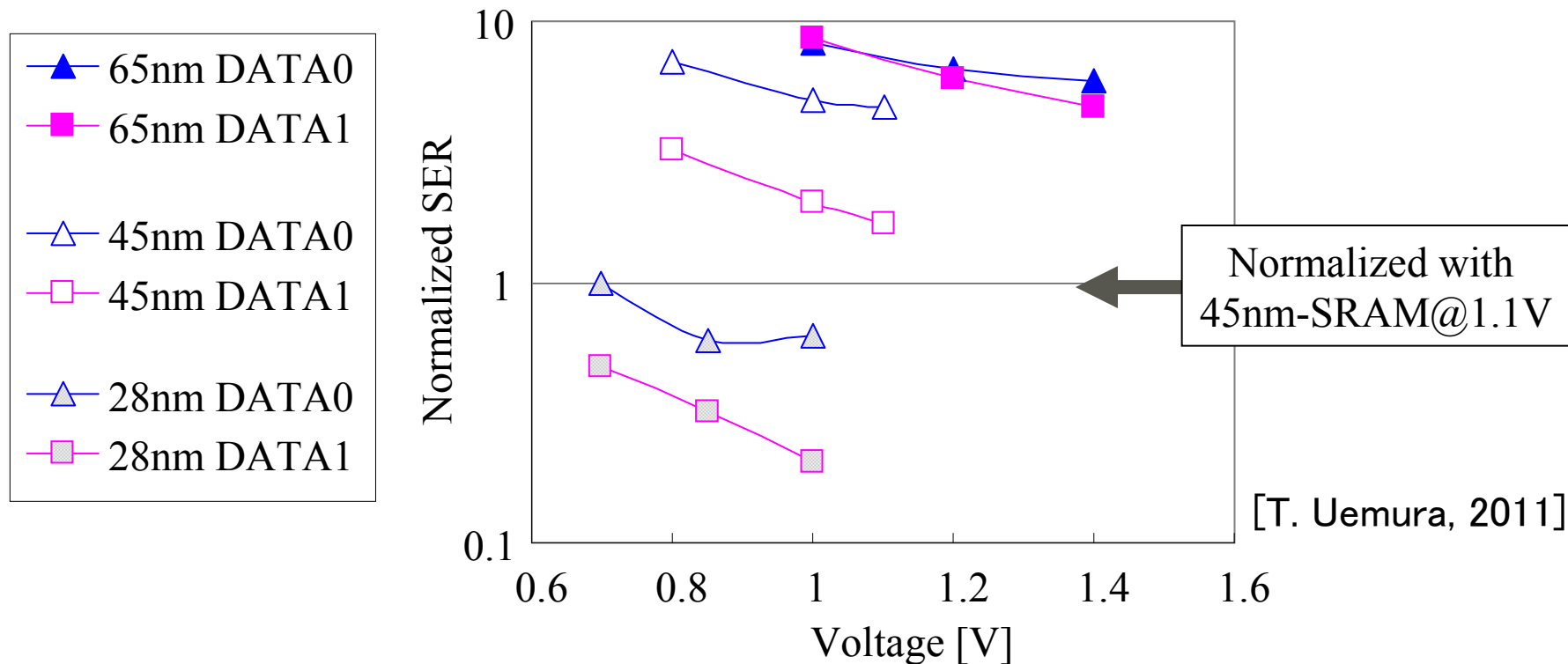
中性子加速試験例(ラッチ回路)



[T. Uemura, 2010]

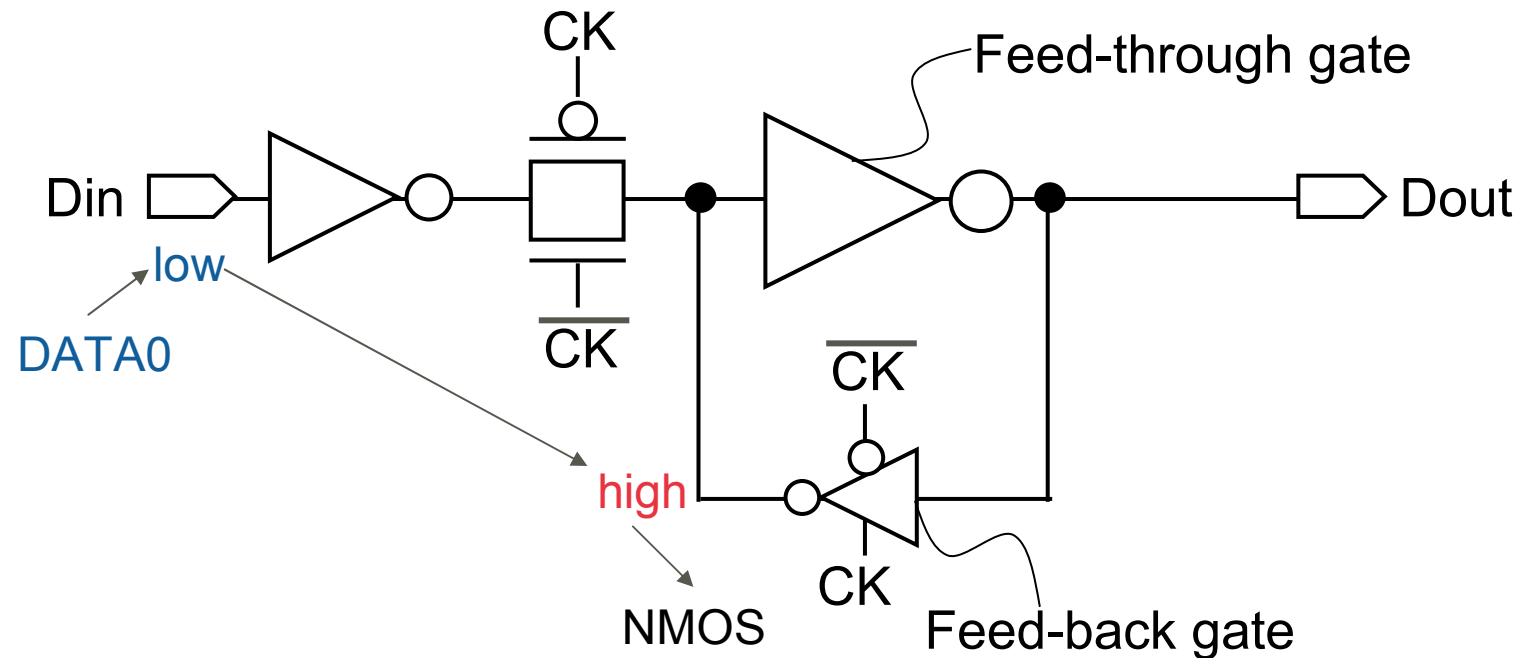
- Spallation neutron beam
- Research Center for Nuclear Physics (RCNP) at Osaka University
- More than 200k bit flip-flop on the test chip

SER trend on sequential element



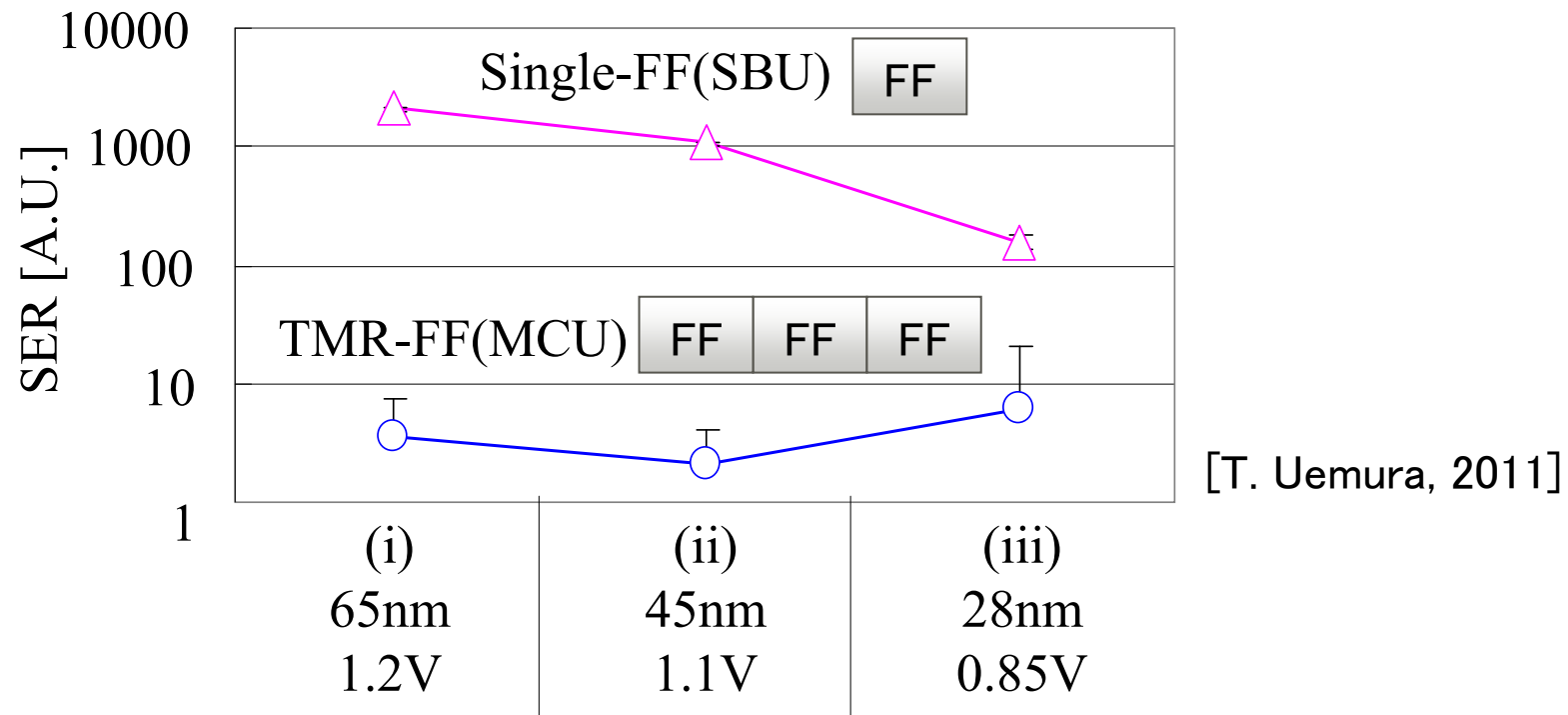
- SER decreases with technology advancing
- In 45nm and 28nm technologies, SER on DATA0 is more than twice higher than on DATA1.
- SiGe process is used on PMOS in 45nm and 28nm process.
- PMOS width in 45nm and 28nm is shorter than in 65nm.

SER Critical part on a latch



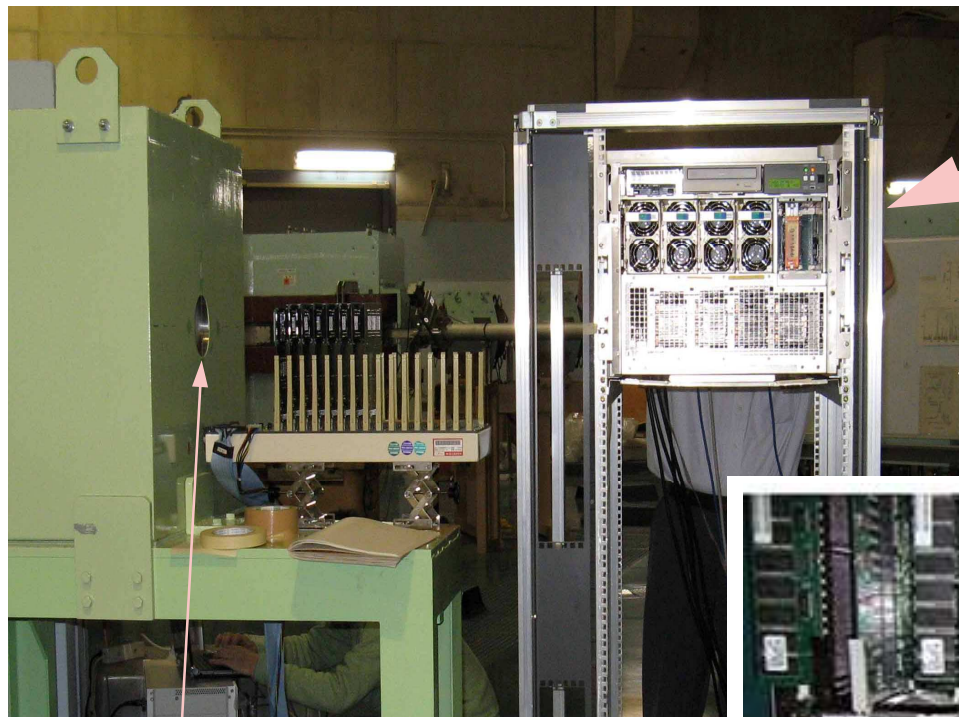
- A latch consists of un-balanced feedback loop.
- Feed-back gate is sensitive to soft error
- In DATA0, SER on NMOS of feedback gate is dominant.
- In DATA1, SER on PMOS of feedback gate is dominant.

Technology trend of redundancy technique



- SBU rate decreases with technology advancing.
- MCU rate on the horizontal layout does not so change with technology advancing.
- Soft-error mitigation techniques by redundancy techniques are effective even on advanced technologies.

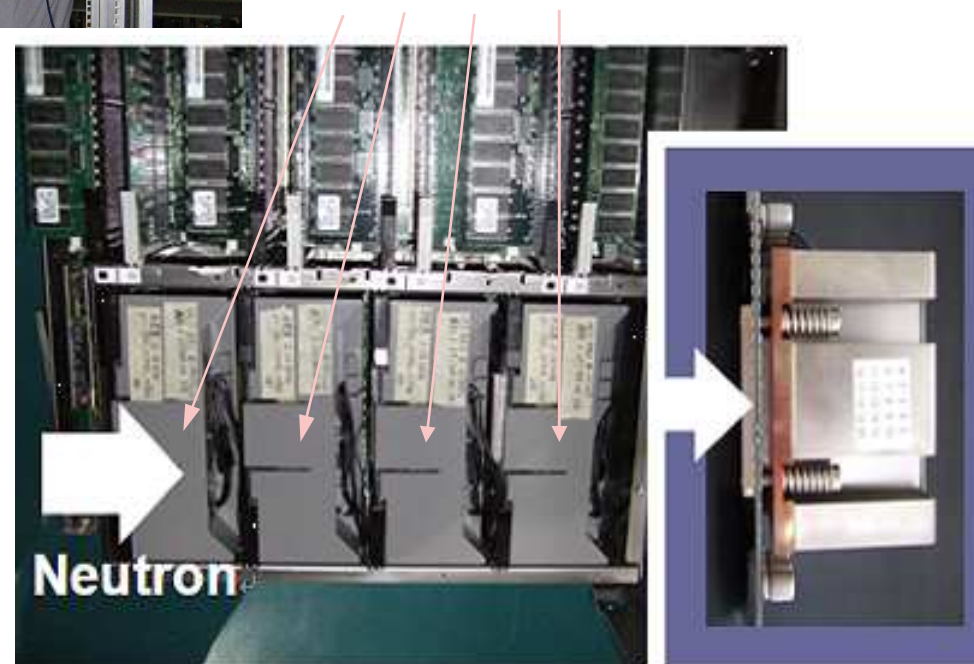
中性子加速試験の例2



Spallation
neutron beam

FUJITSU
PRIMEPOWER
650

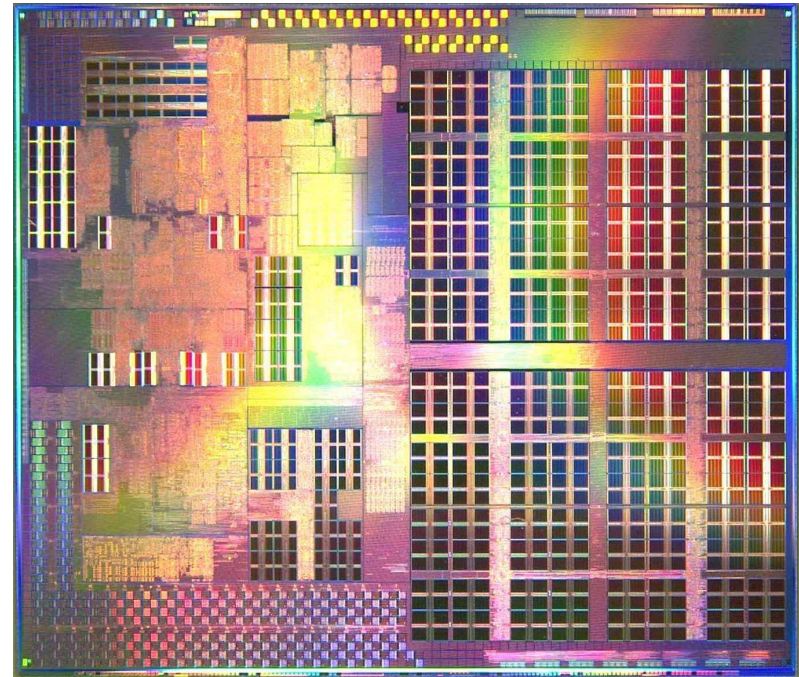
Internal view of PW650 server
CPU module placement



[2007 H. Ando, et al.]

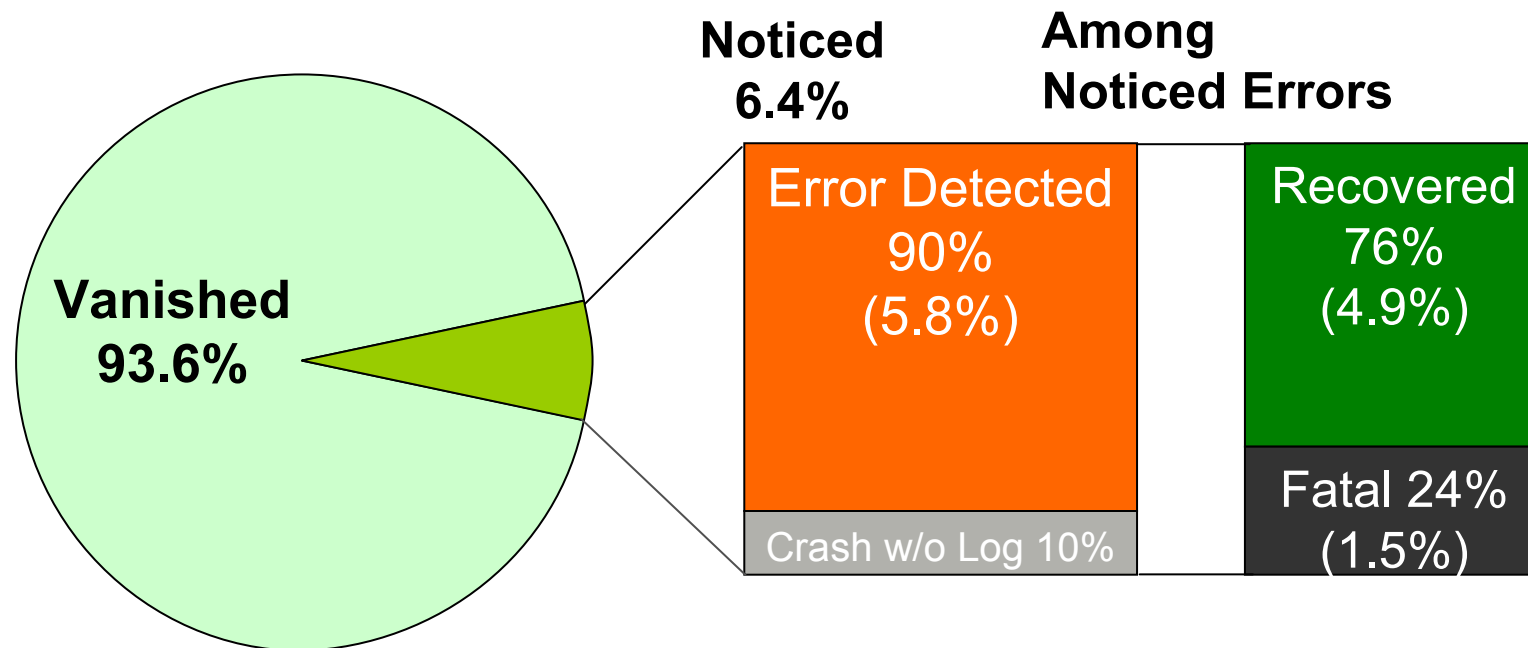
90nm SPARC64 V

- Microprocessor for Mission Critical servers
 - High reliability, High data integrity
 - Introduced in 2005
- Major specifications
 - 90nm Bulk CMOS, 10 Cu layers
 - 18.46mm x 15.94mm
 - ~1.0V Vdd, 2.16GHz Clock
 - ~240K Latches
 - L1\$: 128KB+128KB
 - L2\$: 4MB



[2007 H. Ando, et al.]

CPU(SPARC)におけるソフトウェアエラーのリカバリ



- 93.6% of estimated Latch flips were Vanished
- Noticed Errors were 6.4% ⇒ **Derating factor = 0.064.**
- Among Noticed Errors, 90% of them Detected
- Among Noticed Errors, 76% of them Recovered
- Only 1.5% of estimated latch flips resulted in Fatal errors

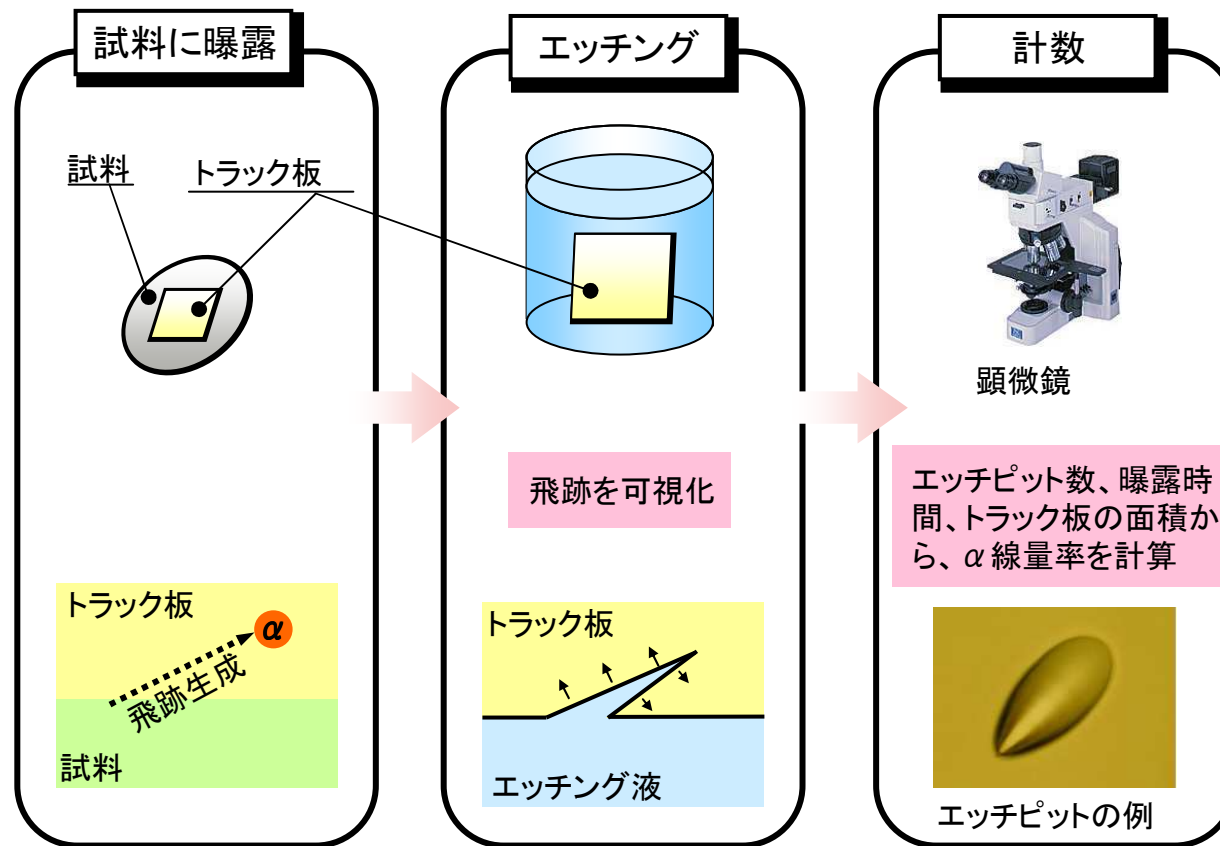
[2007 H. Ando, et al.]

α 線ソフトエラーの評価

- α 線量測定
- α 線フィールド試験
- α 線加速評価

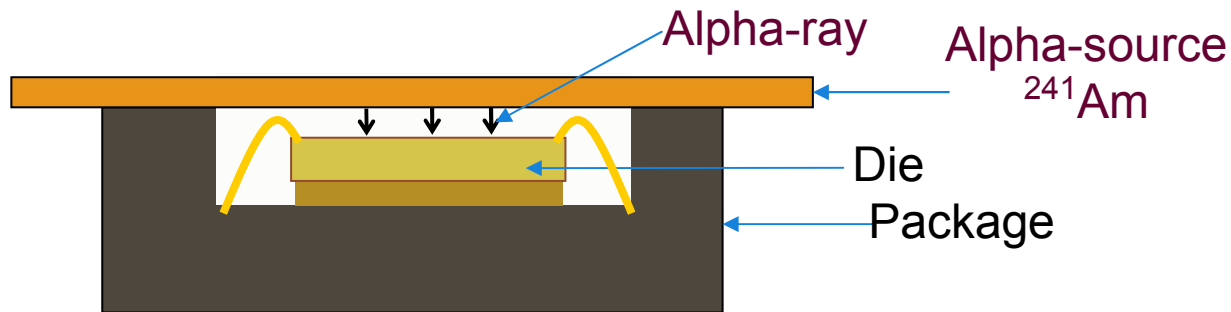
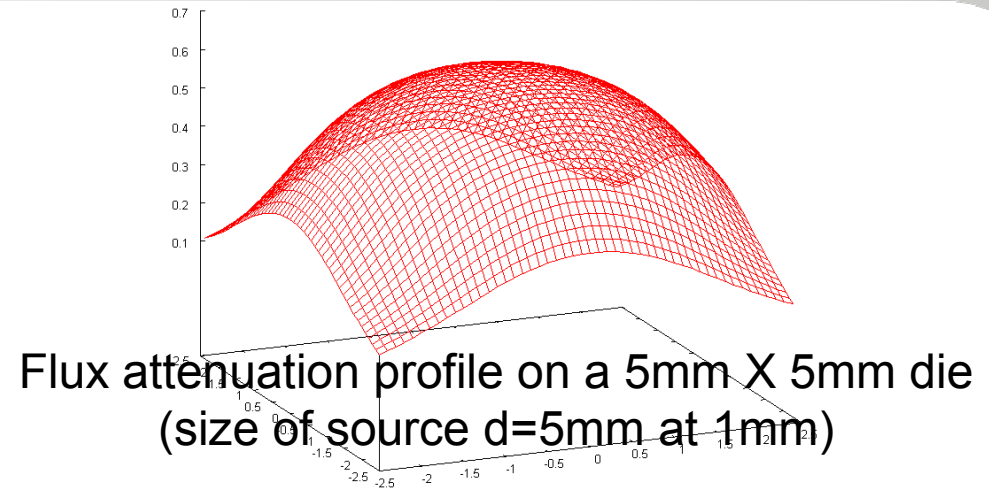
α 線量測定

- 試料にトラック板 (CR-39) を貼りつけて、 α 線がつくる飛跡をとらえる。
- 飛跡はエッチングによって目に見えるようにし、顕微鏡で数える。



[R. Takasu, 2005]

α 線加速試験

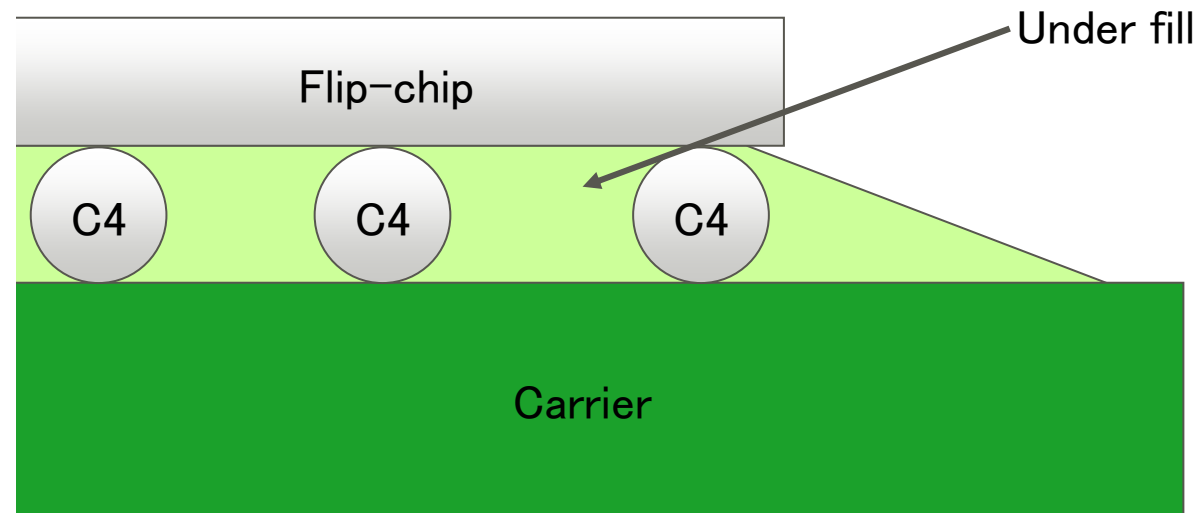


- α 線源を使用し、チップに α 線を照射
- 被曝線量から、加速率を算出し、エラー率を計算。
- Wire Packageのみで実施可能。

[2008 T. Uemura]



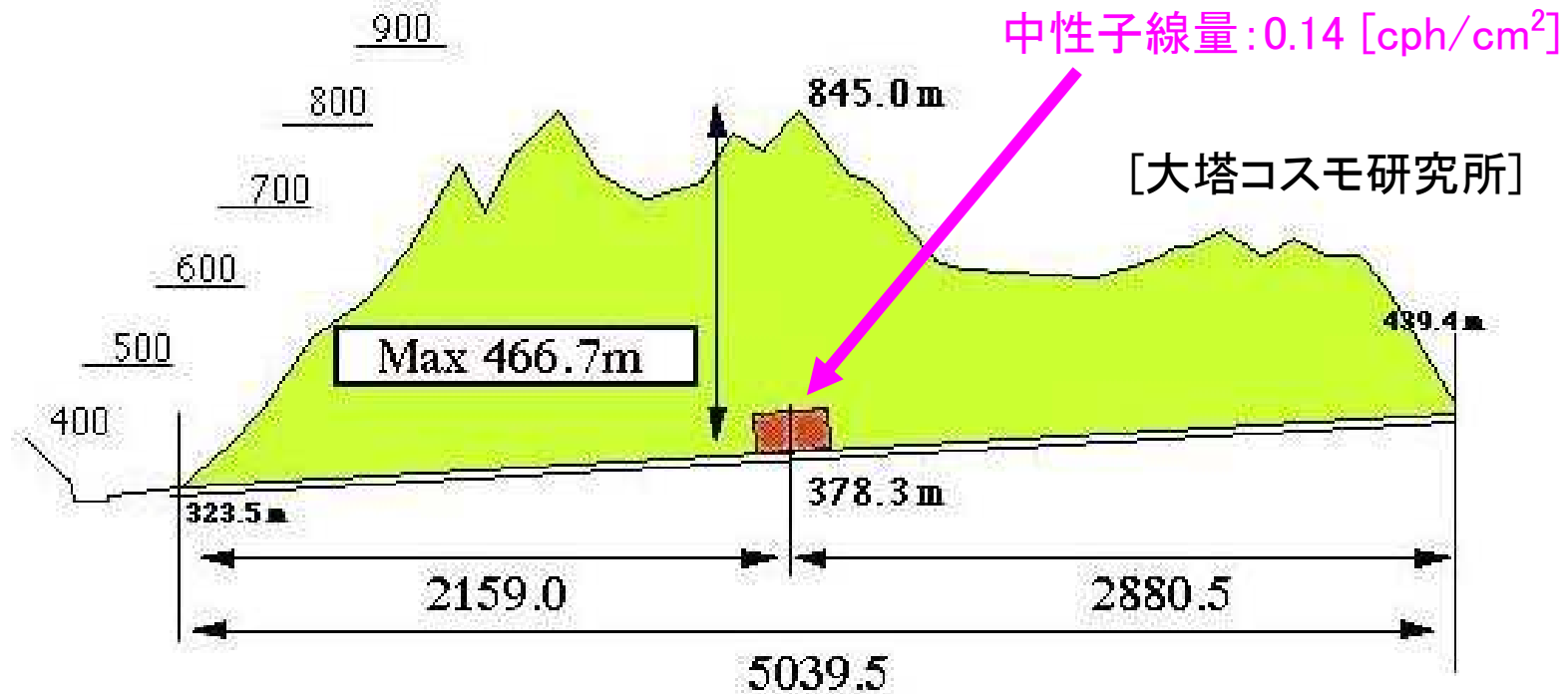
HUF(Fot Under Fill)による加速試験



[M. S. Gordon, 2008]

- アンダーフィルに α 線源(^{210}Po , ^{210}Pb)を混入して、評価
- Bump Packageの製品に対しても試験が可能
- POWER 7(IBM)の評価などで実施されている。

α 線ソフトエラーのフィールド試験



- 山を貫通するトンネルの中央で測定することにより、中性子線量を1/100程度に下げる。
- α 線ソフトエラーのみを検出する。
- 非常に低いエラー率評価になるため、長い期間が必要。

Simulation

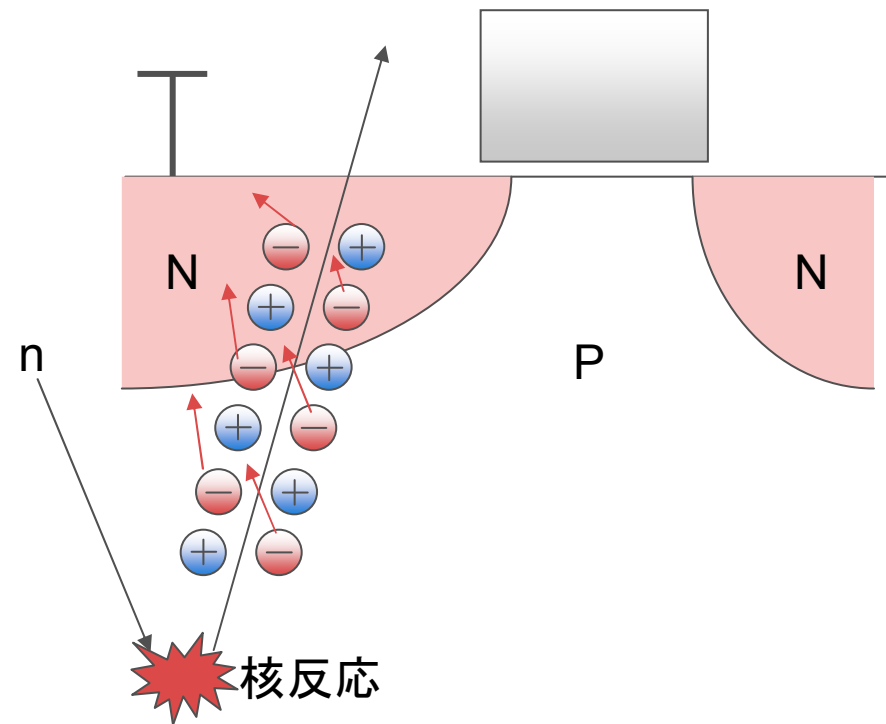
- シミュレーションの概要

■ シミュレーションのメリット

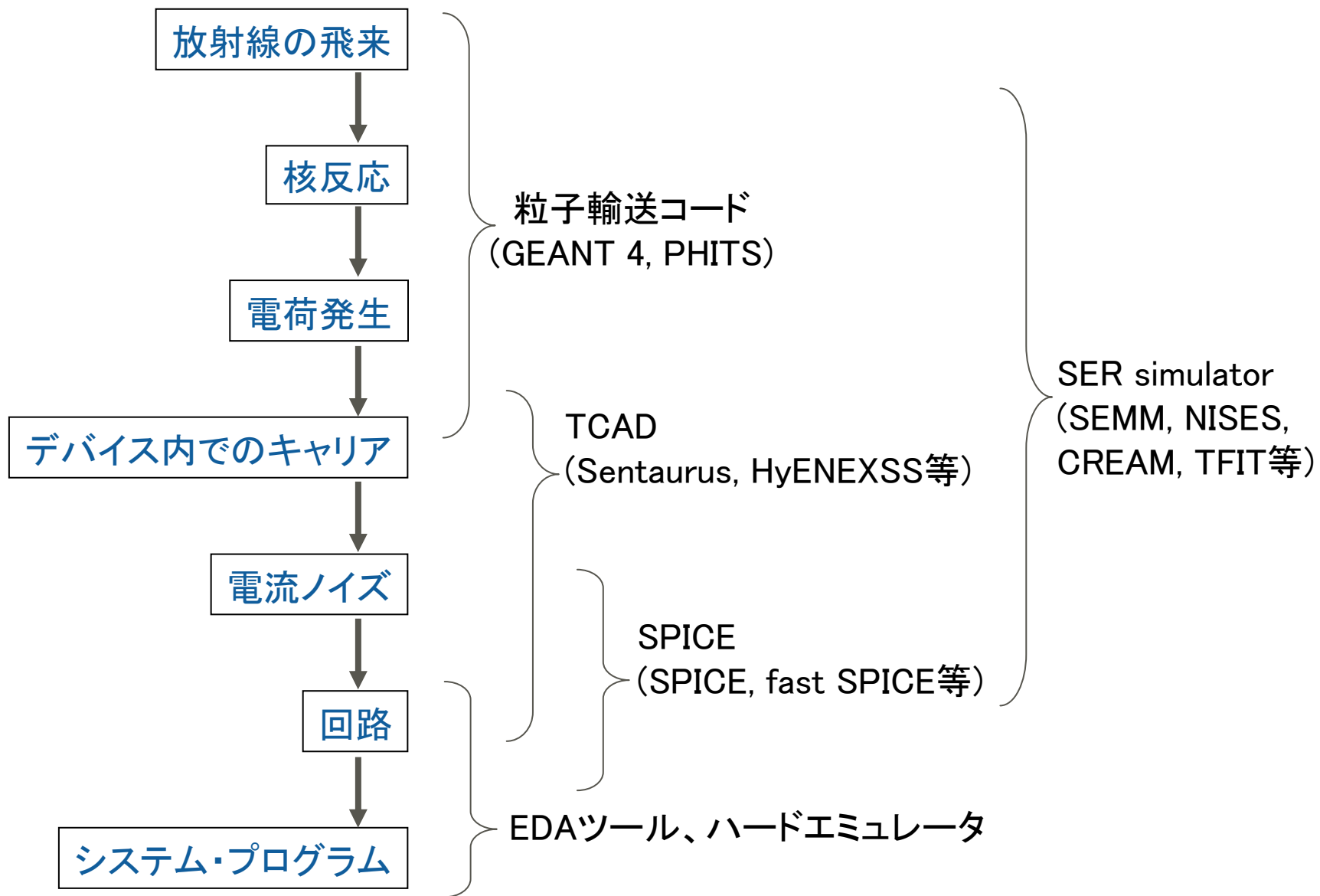
- 作っていないものに対して評価できる。
- 設計前にエラー率がわかる。
- ありとあらゆる対象の評価が可能。

■ ソフトエラーの発生過程

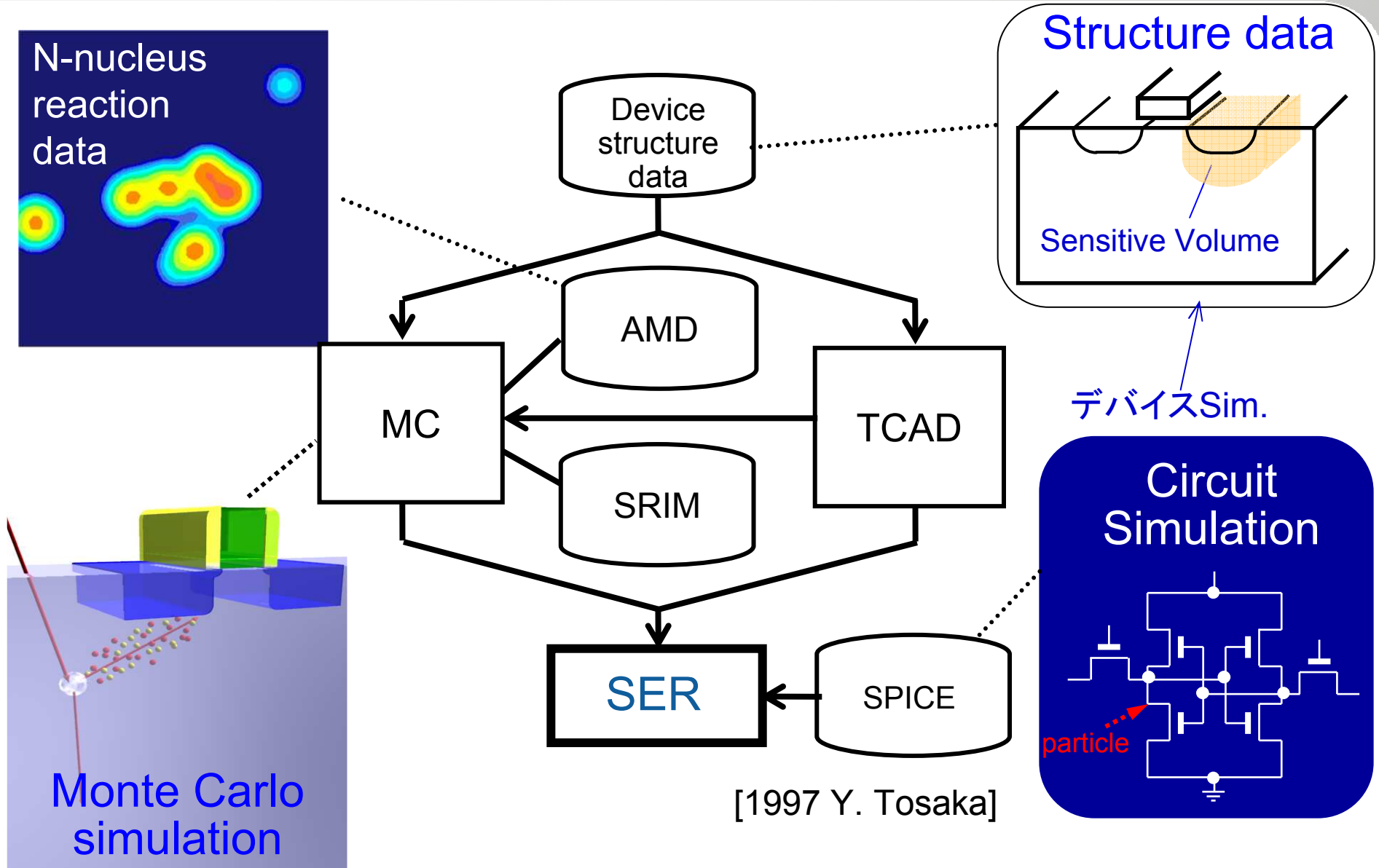
- 放射線の飛来
- 核反応
- 生成粒子
- デバイス内でのキャリア
- 電流ノイズ
- 回路・システム・プログラム



ソフトウェアシミュレーション

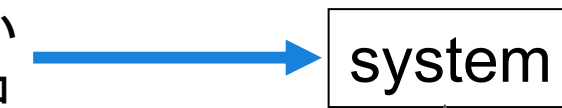


Simulator例 (NISES)

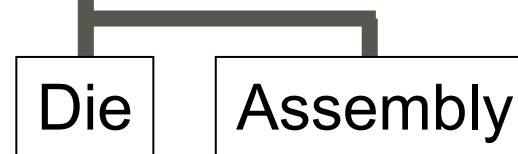


電子デバイスができるまで

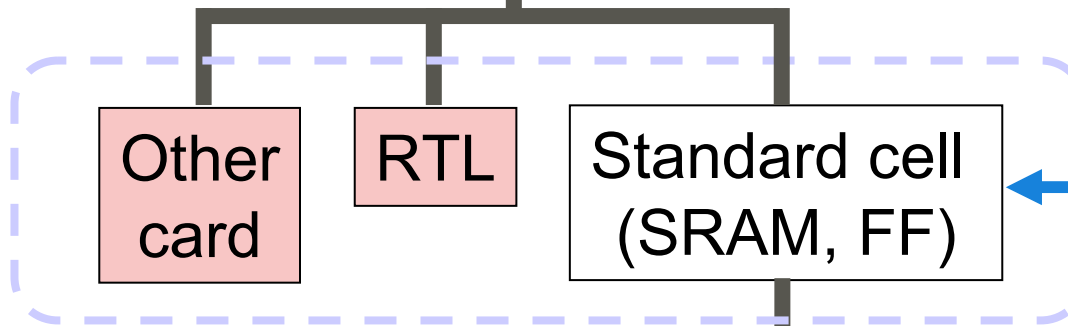
本当に知りたい
エラー率はココ



加速試験
(ただし開発後期)



線量評価等



加速試験
フィールド試験



■ フィールド試験評価

- 最も信頼されるデータ
- 評価には長い時間と、大量のサンプルが必要になる。
 - 1種類の素子に対して、1000sample、1yearが必要

■ 加速試験評価

- 低いエラー率を、短時間で評価することが可能
 - 1種類のデバイスに対して、4~40[sample]、10~[hour]
- 対策効果の検証、実製品の評価

■ シミュレーション

- 全ての半導体デバイスの構成要素、全ての製品を、実験することは不可能。テクノロジーの進歩が早く、実物が完成する前に評価する必要がある。

ソフトウェア対策

- 様々なソフトウェア対策
- 回路によるソフトウェア対策
- ソフトウェア対策効果の評価

■ RAMにおけるソフトウェア対策

■ ECC (Error correction code)

→パリティビットを付加しエラーを検出(detection) & 修正(correction)

(例: 64bit + 8bitのパリティ→1bit error correction, 2bit error detection)

■ Logicにおけるソフトウェア

■ スタンダードセルレベルの対策

- Latch → 内部冗長回路機能をもった対策Latchを使用。
- 組合せ回路 → 2重化、ノイズフィルター

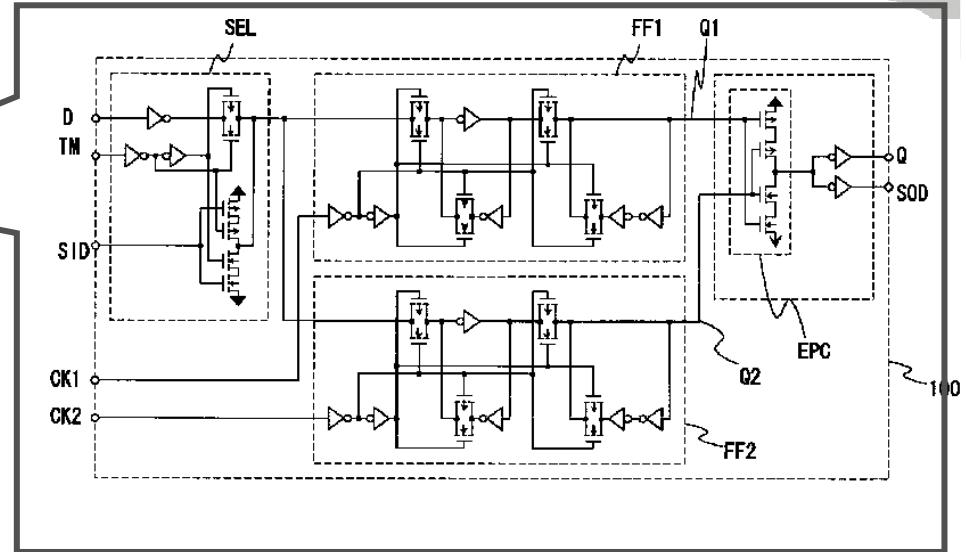
■ 上位レベルの対策

- 冗長: TMR (Triple module redundancy) → ロジックの3重化
- エラーチェック: HIR (Hardware Instruction Retry)
→ エラーを検出した場合のみ命令を再発行

ラッチにおけるソフトウェアエラー対策

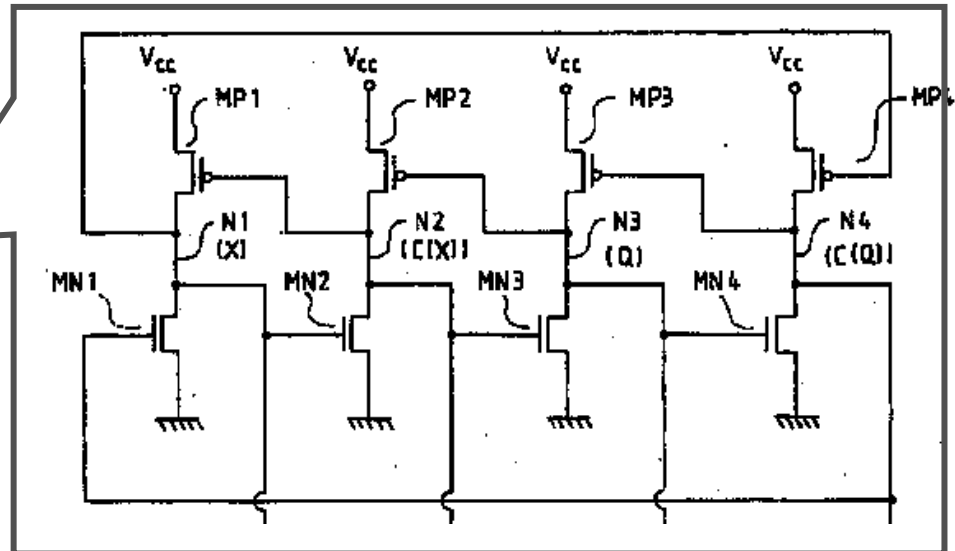
■ Multi latch technique

- **2000**: A multi-latch flip-flop using a C-element was proposed by T. Maruyama.
- **2006**: A reuse paradigm (BISER) was proposed by S. Mitra.

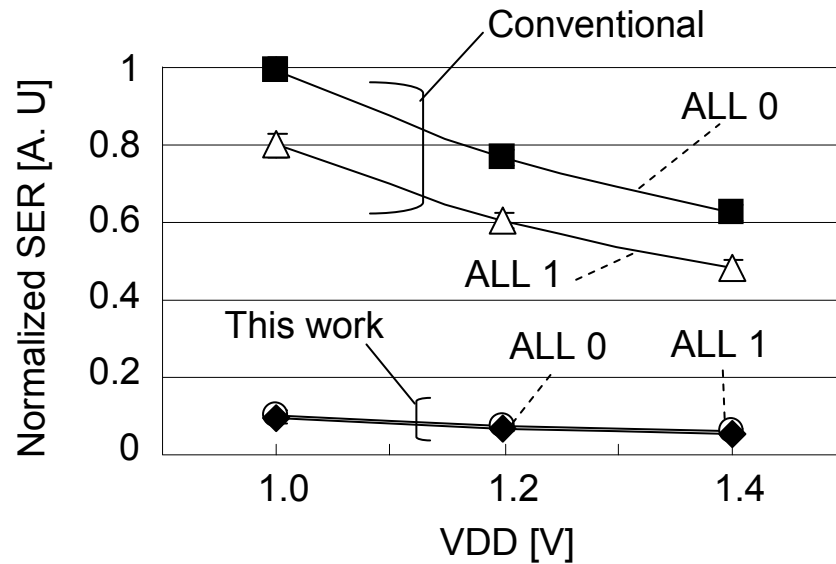


■ Multi node latch

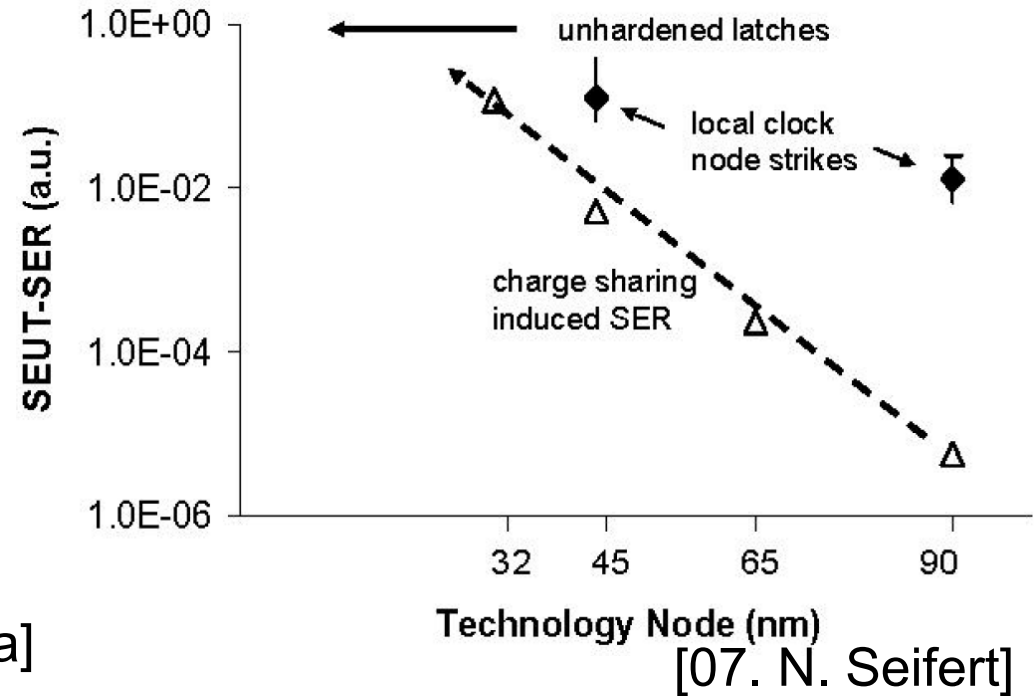
- **1990**: A multi-node latch was proposed by M. Katoh and K. Okabe.
- **1994**: An multi-node latch with 8 transistors was proposed by T. Masson and R. Ferrant
- **1996**: T. Calin, M. Nicolaidis, R. Velazco (DICE).



対策ラッチの課題



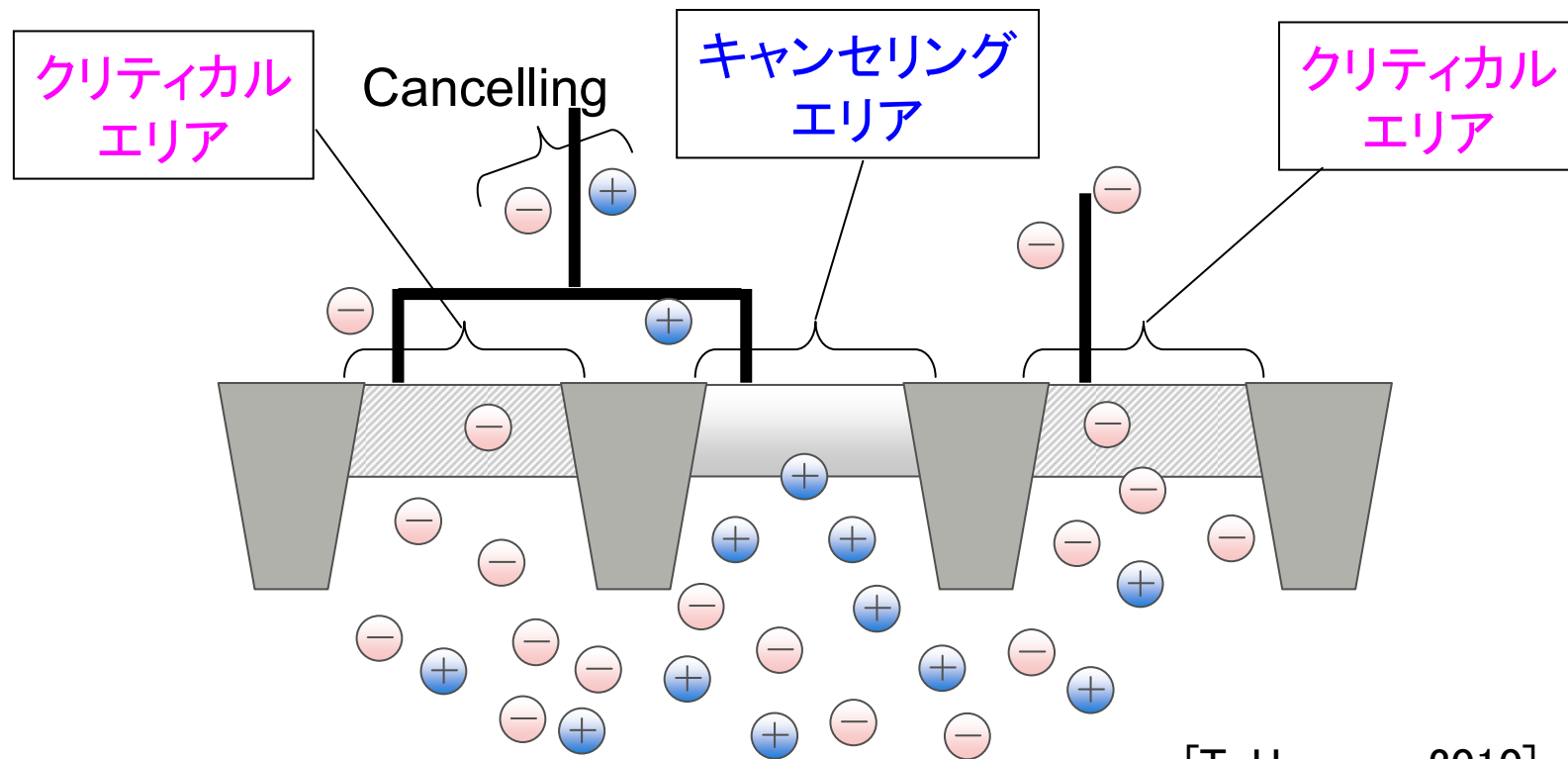
[07. T. Uemura]



[07. N. Seifert]

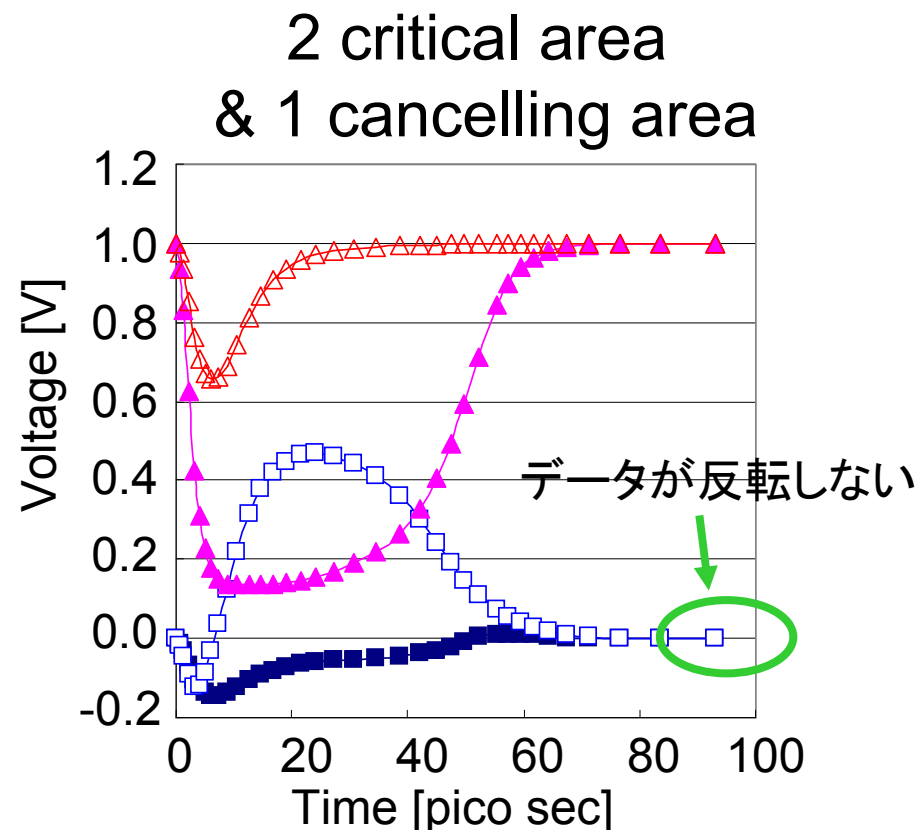
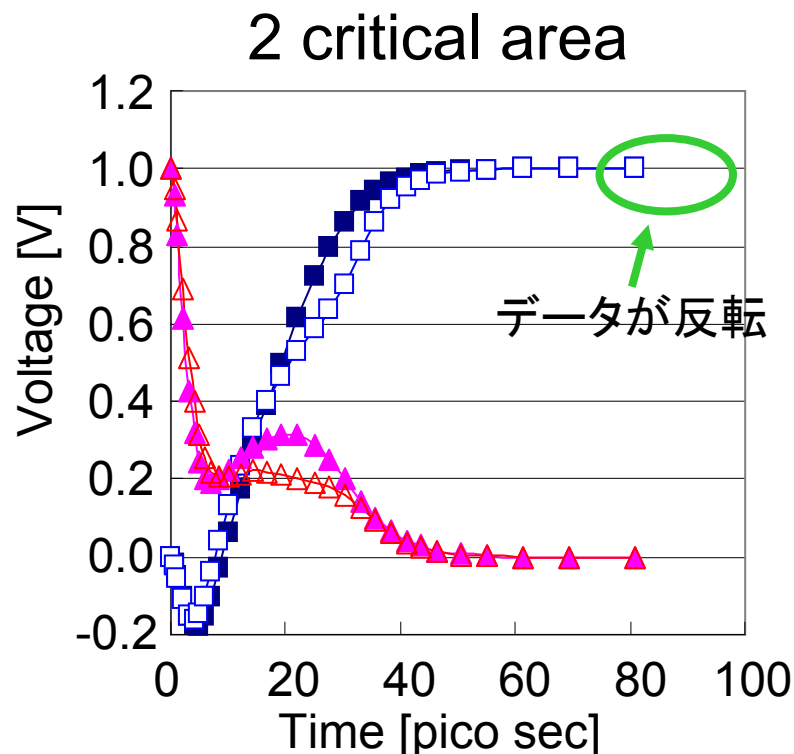
- テクノロジ世代が進むほど、同時に2カ所でノイズが発生する確率が上がる。
 - →回路での対策効果が低下する。
- クロックバッファで発生したSETの問題も無視できない。

複数個所での電荷収集を防止する技術



クリティカルな二つのノードの間に、
それをキャンセリングするノードを間に配置。

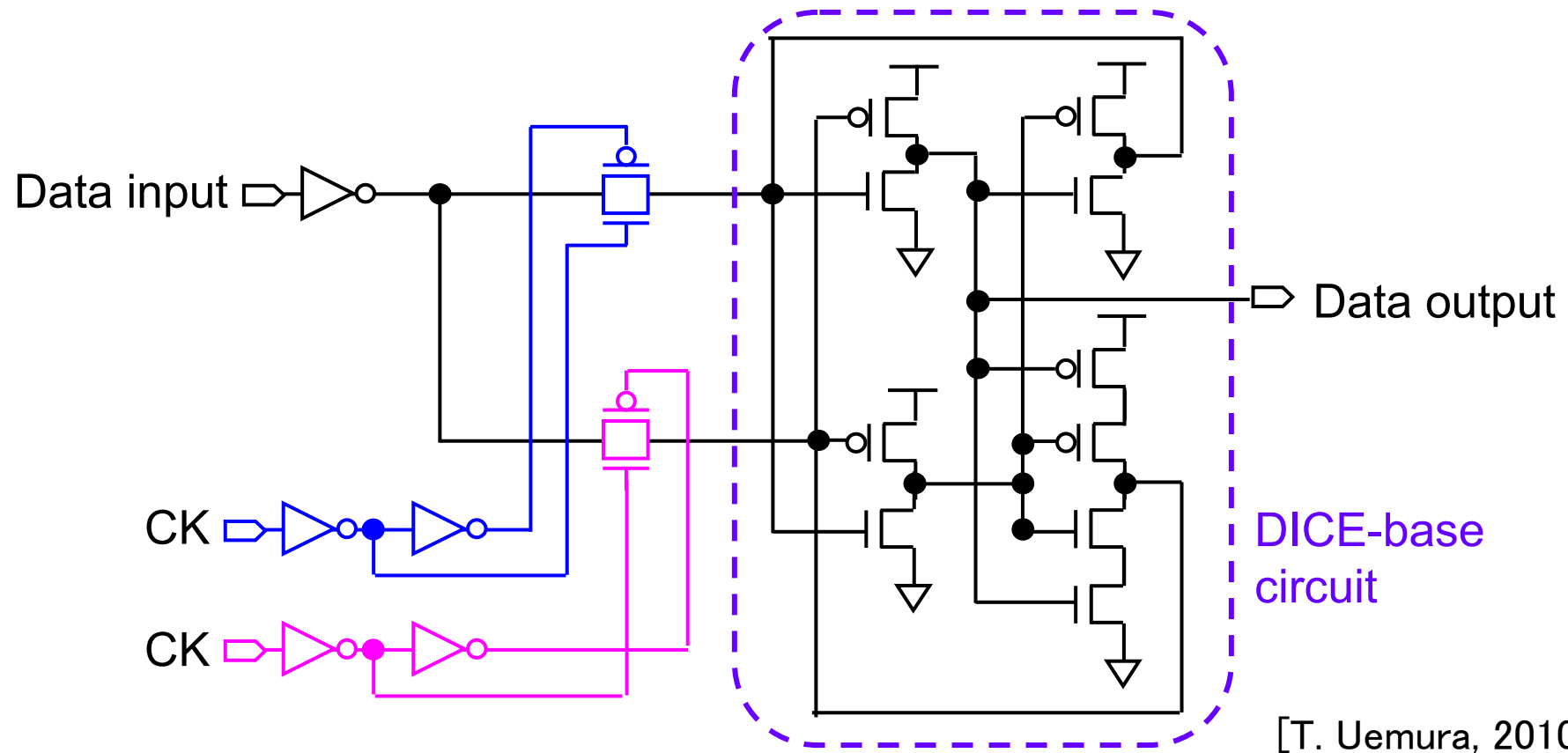
対策ラッチにおける、複数個所での電荷収集



[T. Uemura, 2010]

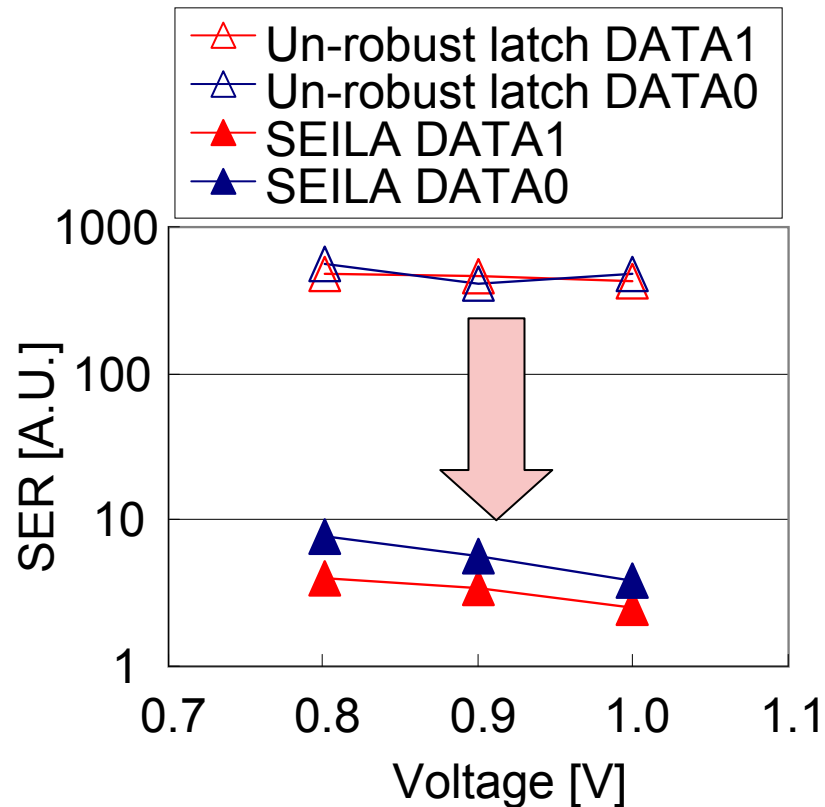
- 二つのクリティカルエリアでノイズが発生すると、ラッチの保持データは反転。
- 二つのクリティカルエリアと同時に、一つのキャンセリングエリアでノイズが発生すると、ラッチの保持データは反転しない。

クロック起因のソフトエラーの防止技術



- クロックバッファを2つに分割し、クロックバッファでのSETの影響を抑える。

SEILA (Soft Error Immune Latch)の評価



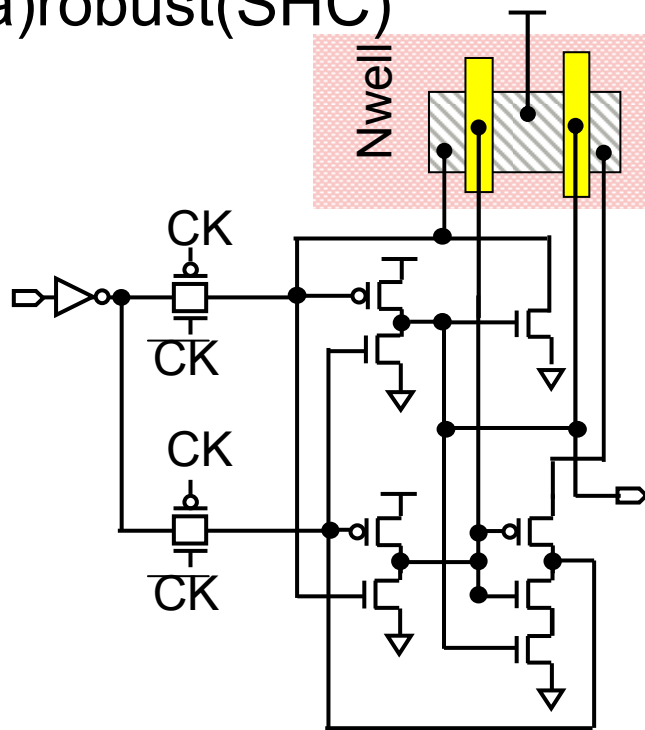
	SEU	SET @clock
普通のラッチ	1	0.100
以前の対策ラッチ	0.102	0.090
SEILA	0.007	<0.001

[T. Uemura, 2010]

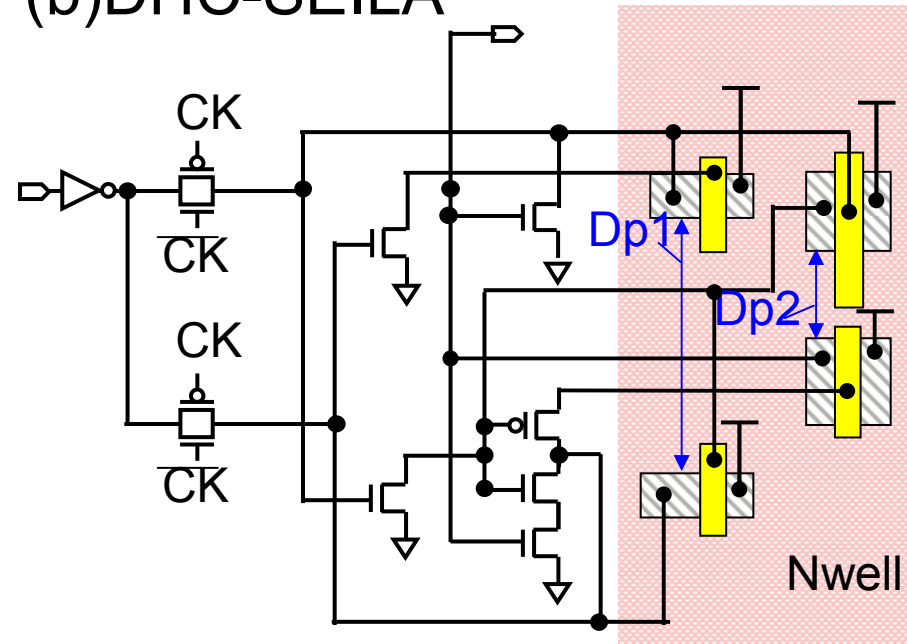
- SEILA (Soft Error Immune Latch)は、さらに10倍以上ソフトウェア耐性が向上した。

Robust latch (SEILA: Soft error immune latch)

(a) robust(SHC)

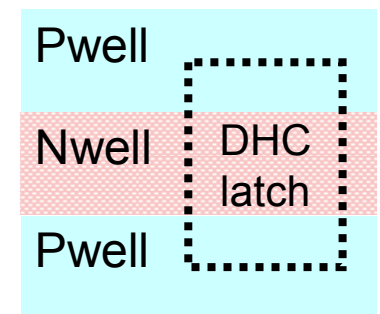


(b) DHC-SEILA



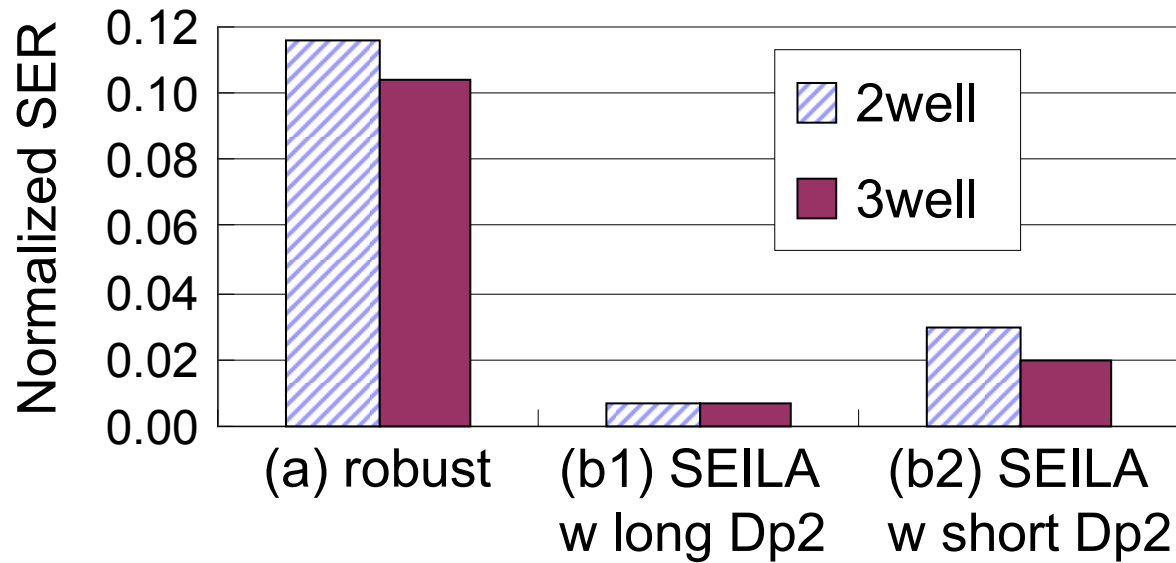
Dp2: distance between critical PMOSs
(b1)0.56um, (b2)0.34um

- Collection charge on one node is not upset.
- (a) critical PMOSs are not separated by STI.
- (b) critical PMOSs are separated by STI.
- (b)DHC-SEILA is sensitive to CCM only on PMOS.



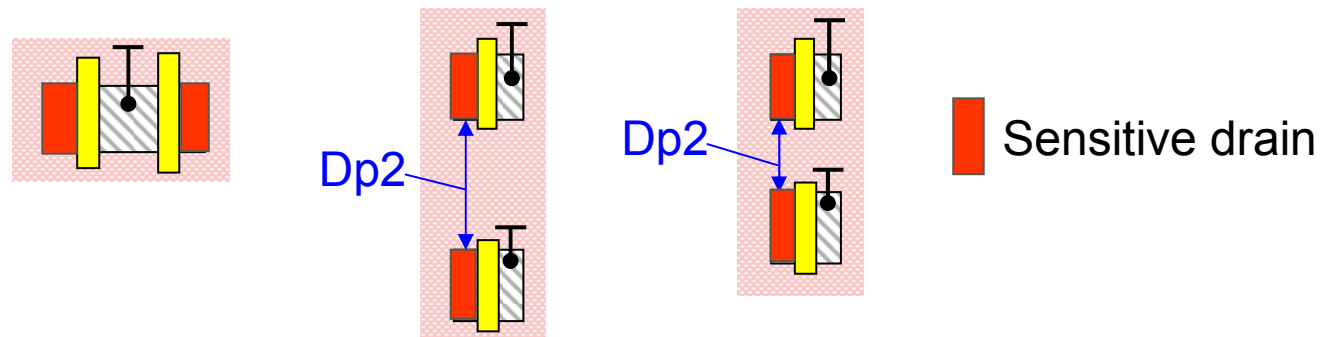
[T. Uemura, 2011]

SER mitigation efficiency@1.0V



SERs are normalized with SER on (o) un-robust lathes

[T. Uemura, 2011]



- SER on (a) is dramatically high.
 - Separation by STI is important for mitigating SER.
- SER on (b1) is higher than on (b2)
 - Shorter Dp2 become higher SER.

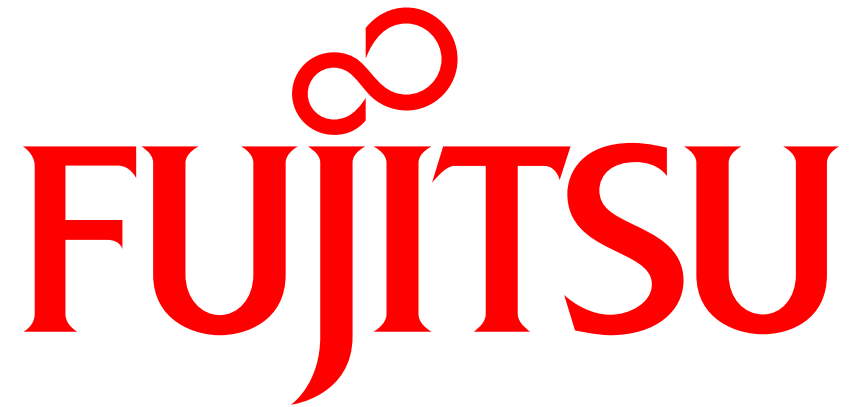
■ ソフトエラーを評価・対策を行うにはありとあらゆる技術が必要。

■ 評価

- 目的にあわして、最適な評価方法を選択する必要がある。
- 「これだけやればOK」ということはない。

■ 対策

- 求められる信頼性、許容されるコストを、正しく評価し、最適な(必要十分の)対策方法を採用することが重要。



shaping tomorrow with you